

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

Jc903 U.S. PRO
09/805039
03/14/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 3月23日

出 願 番 号

Application Number:

特願2000-082142

出 願 人

Applicant (s):

株式会社アドバンスト・ディスプレイ

2000年11月17日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造

出証番号 出証特2000-3096682

【書類名】 特許願

【整理番号】 A200012101

【提出日】 平成12年 3月23日

【あて先】 特許庁長官 近藤 隆彦 殿

【国際特許分類】 G02F 1/136

【発明者】

 【住所又は居所】 熊本県菊池郡西合志町御代志 9 9 7 番地 株式会社アド
 バンスト・ディスプレイ内

 【氏名】 小林 和弘

【発明者】

 【住所又は居所】 熊本県菊池郡西合志町御代志 9 9 7 番地 株式会社アド
 バンスト・ディスプレイ内

 【氏名】 升谷 雄一

【特許出願人】

 【識別番号】 595059056

 【氏名又は名称】 株式会社アドバンスト・ディスプレイ

【代理人】

 【識別番号】 100065226

 【弁理士】

 【氏名又は名称】 朝日奈 宗太

 【電話番号】 06-6943-8922

【選任した代理人】

 【識別番号】 100098257

 【弁理士】

 【氏名又は名称】 佐木 啓二

【手数料の表示】

 【予納台帳番号】 001627

 【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9503603

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 液晶表示装置の T F T アレイ基板およびその製造方法

【特許請求の範囲】

【請求項 1】 ソース配線とゲート配線がマトリクス上に形成されており、その交差部に薄膜トランジスタおよび液晶に電圧を印加する画素電極が少なくとも存在し、ゲート電極、その上部に形成されたゲート絶縁膜および少なくともゲート電極上でゲート絶縁膜に接するように形成された半導体層と、半導体層上に少なくとも一部が接するように形成され透明導電膜とその上に形成された金属膜の少なくとも 2 層からなるソース電極、ソース配線およびドレイン電極を備え、ドレイン電極と画素電極は、透明導電膜により他の層が介在することなく接続されており、画素電極の光を透過する部分は、その直上の保護膜、金属膜が取り除かれていることを特徴とする液晶表示装置の T F T アレイ基板。

【請求項 2】 ゲート電極上に少なくともゲート絶縁膜および半導体層を形成する工程と、ホトレジストの厚みを半導体層を残す部分を厚くした領域（A）と、少なくともゲート配線を露出させるためホトレジストを除去した領域（C）と、それ以外の部分であってホトレジストの厚みを半導体層の部分の厚みより薄くした領域（B）とを形成する工程と、半導体層、ゲート絶縁層を前記厚みが異なるホトレジストを用いてエッチングを行い、少なくともゲート配線上のゲート絶縁膜、半導体層を取り除き、ゲート電極の一部を露出させる工程と、ホトレジストの厚みを低減させ、領域（A）のホトレジストを残しつつ領域（B）のホトレジストを取り除く工程と、そのホトレジストを用いて領域（A）以外の部分の半導体層を取り除く工程を含むことを特徴とする液晶表示装置の T F T アレイ基板の製造方法。

【請求項 3】 ゲート電極・ゲート配線用の導電性物質を成膜し、それをゲート電極、ゲート配線のパターン形状のホトレジストを用いてエッチングを行い、それぞれの所定のパターンを形成する工程と、ゲート絶縁膜、半導体層を形成

する工程と、ホトレジストの厚みを半導体層を残す部分を厚くした領域（Ａ）と、少なくともゲート配線の一部を露出させるためホトレジストを除去した領域（Ｃ）と、それ以外の部分であってホトレジストの厚みを半導体層の部分の厚みより薄くした領域（Ｂ）とを形成する工程と、半導体層、ゲート絶縁層を前記形状のホトレジストを用いてエッチングを行いゲート配線の少なくとも一部を露出させる工程と、領域Ａのホトレジストを残しつつ領域（Ｂ）のホトレジストを取り除く工程と、そのホトレジストを用いて領域（Ａ）以外の部分の半導体層を取り除く工程と、少なくとも一部が半導体層に接するように形成された透明導電層とその上に形成された金属層がソース・ドレイン電極のパターン形状のホトレジストを用いてソース・ドレイン電極を形成する工程と、保護膜を形成する工程と、その保護膜の少なくとも画素電極上の光を透過する部分を取り除く工程と、画素電極上に形成された保護膜が取り除かれた領域から透明導電層上の金属層を取り除いて画素電極を形成する工程とを含むことを特徴とする液晶表示装置のＴＦＴアレイ基板の製造方法。

【請求項４】 請求項２または３記載の製造方法によって製造された液晶表示装置であって、液晶に電圧を印加する電極をソース配線と同時に形成する電極で形成した横方向電界型の液晶表示装置のＴＦＴアレイ基板。

【請求項５】 請求項２または３記載の製造方法によって製造された液晶表示装置であって、液晶に電圧を印加する電極をゲート配線と同時に形成する電極で形成した横方向電界型の液晶表示装置のＴＦＴアレイ基板。

【請求項６】 請求項２または３記載の製造方法によって製造された液晶表示装置であって、液晶に電圧を印加する電極をゲート配線と同時に形成する電極とソース配線と同時に形成する電極とで形成した横方向表示型の液晶表示装置のＴＦＴアレイ基板。

【請求項７】 請求項２または３記載の液晶表示装置の製造方法であって、写真製版回数を４枚以下で形成する液晶表示装置のＴＦＴアレイ基板の製造方法。

【請求項８】 ホトレジストの厚みを部分的に変えるため、少なくともホト

マスク上で少なくとも3種類の透過率をもつパターンが形成されていることを特徴とする請求項2または3記載の液晶表示装置のTFTアレ基板の製造方法。

【請求項9】 ホトレジストの厚みを部分的に変えるため、少なくともホトマスク上でホトマスクの一部に、実効的に光の透過率がホトマスクのガラスの透過率より透過率が減少している領域が存在し、その部分のホトマスクは少なくともまったく光を通さない領域と透過率がホトマスクのガラスと同等の領域が合計6 μ m以下の幅で周期的に形成されていることを特徴とする請求項2、3または8記載の液晶表示装置のTFTアレ基板の製造方法。

【請求項10】 請求項1、4、5または6記載の液晶表示装置のTFTアレ基板を用いて製造した液晶表示装置。

【請求項11】 請求項2、3、7、8または9記載の製造方法によって製造された液晶表示装置のTFTアレ基板を用いて製造した液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は薄膜トランジスタ（TFT）を用いたアクティブマトリクス型液晶表示装置およびその製造方法に関するものであり、とくに製造工程における写真製版工程数を削減し、コストを削減したものである。

【0002】

【従来の技術】

図17、図18、図19に従来のアクティブマトリクス液晶表示装置（AMLCD）に用いられるTFTアレ構造の一例を示す。図17、図18は断面図の一例、図19は平面図で図17、図18は図19のX-X断面の部分およびゲート・ソース端子部の断面構造を示している。

【0003】

図17、図18、図19において311は絶縁性基板、313はゲート電極およびゲート配線、314は透明導電層よりなる画素電極、316はゲート絶縁膜、317は半導体層（能動層）、318はPあるいはBなどの不純物を含有したオーミックコンタクト層、322はSiN₄などの保護絶縁膜、330はコンタ

クトホール、302はソース配線、303はソース電極、304はドレイン電極である。

【0004】

従来のアクティブマトリクス液晶表示装置（AMLCD）に用いられるTFTアレイの製法について説明する。絶縁性基板311上にCr、Al、Moなどの金属やそれらを主成分とする合金あるいはそれらの積層した金属などからなる物質の層をスパッタなどの手法で形成する。ついでホトレジストなどを用いて写真製版およびそれに続くエッチング法などでゲート電極312およびゲート配線313などを形成する（図17（a）、図19（a））。

【0005】

ついで、プラズマCVDなどの各種CVD法やスパッタ、蒸着、塗布法などで形成したゲート絶縁膜となる Si_3N_4 、 SiO_2 などからなる絶縁膜316、 a-Si:H 膜（水素化非晶質シリコン膜）からなる半導体層317、金属とのコンタクトをとるためにプラズマCVD法やスパッタ法で形成したリン、アンチモン、ボロンなどの不純物をドーピングした半導体層でたとえば $\text{n}^+\text{a-Si:H}$ 膜やマイクロクリスタル n^+Si 層からなるオーミックコンタクト層318を連続的に形成する。ついでホトレジストなどを用いて写真製版およびそれに続くエッチング法などでTFT部、ゲート配線・ソース配線交差部などの半導体層317、オーミックコンタクト層318を形成する（図17（b）、図19（b））。

【0006】

ついで、ITO（Indium Tin Oxide）などの透明導電膜からなる透明導電層をスパッタ、蒸着、ゾルゲル法などの手法で形成する。ついで、ホトレジストなどを用いて写真製版およびそれに続くエッチング法などで画素電極314および端子電極などを形成する（図17（c）、図19（c））。

【0007】

ついで、ホトレジストなどを用いて写真製版でゲート端子部などにコンタクトホール330ができるようにパターンを形成し、それにつづく CF_4 系などのガスを用いドライエッチング法などでゲート絶縁膜316を除去したのちホトレジ

ストを除去しコンタクトホール 3 3 0 を形成する（図 1 8（a））。

【0 0 0 8】

ついで、Cr、Al、Moなどの金属やそれらを主成分とする合金あるいはそれらの積層した金属などからなる物質の層をスパッタなどの手法で形成する。ついで、ホトレジストなどを用いて写真製版およびそれに続くエッチング法などでソース配線 3 0 2、ソース電極 3 0 3、ドレイン電極 3 0 4 を形成する（図 1 8（b）、図 1 9（d））。

【0 0 0 9】

ついで、プラズマCVDなどの各種CVD法やスパッタ、蒸着、塗布法などで形成したゲート絶縁膜となる Si_3N_4 、 SiO_2 などあるいはそれらの積層物からなる Si_3N_4 などの絶縁膜 3 2 2 を形成し、ついでホトレジストなどを用いて写真製版それにつづく CF_4 系などのガスを用いたドライエッチング法などで信号を各配線に外部のTCPなどから入力できるように端子部などの絶縁膜を除去する。これによりTFTアレイが形成される（図 1 8（c））。

【0 0 1 0】

ついでTFTアレイ上に配向膜を形成し、対向基板と向合わせその間に液晶を挟持させアクティブマトリクス型液晶表示装置を形成する。

【0 0 1 1】

【発明が解決しようとする課題】

従来の製法を用いてTFTアレイを作製する場合、少なくとも6回の写真製版工程以上必要とするため、製造工程が長くなり、とくに生産設備の稼動コストが高い露光工程を多く使う問題がある。このため、必然的に作製されるTFTアレイのコストが増加した。

【0 0 1 2】

本発明の目的は、アクティブマトリクス型液晶表示装置の生産性向上あるいはコスト低減を目的として、TFTアレイを製造するために必要とする写真製版の回数（マスク枚数）を低減することを目的としている。

【0 0 1 3】

【課題を解決するための手段】

写真製版回数を削減するために、ゲート電極・ゲート配線上にゲート絶縁膜および半導体層を成膜した後、ホトレジストの厚みを半導体層を残す部分を厚くした領域Aと、少なくともゲート絶縁膜および半導体層をエッチングしてゲート電極・ゲート配線の一部を露出させるためホトレジストを除去した領域Cと、それ以外の部分であってホトレジストの厚みを半導体層の部分のホトレジストの厚みより薄くした領域Bを形成する工程と、半導体層、ゲート絶縁層を前記ホトレジストを用いて同一パターンでエッチングを行い少なくともゲート配線の一部を露出させる工程と、領域Aにホトレジストを残しつつ、領域B上からホトレジストを取り除く工程と、領域A以外の半導体層を取り除く工程を含むとともに、透明電極とその上に形成した金属膜の2層を成膜し、ソース／ドレイン電極配線および画素電極を同時に形成するホトレジストパターンを用いてソースドレイン配線と画素電極を形成後、その上に保護膜を成膜した後、画素電極上の少なくとも光を透過させる部分と、ソース・ゲート配線の端子部の接続部分上の保護膜を除去し、その後その部分のソース／ドレイン電極配線を形成するために成膜した金属層を取り除く。これにより、写真製版回数を4枚に短縮できる。

【 0 0 1 4 】

【発明の実施の形態】

実施の形態 1

図1に本発明に用いるアクティブマトリクス液晶ディスプレイ（AMLCD）のTFTアレイ基板の回路図の一例を示す。図1に示す回路構成は、保持容量を画素電極とゲート配線で構成するいわゆるCS on gate型と呼ばれるものである。ここで、101は走査電圧を供給するためのゲート配線、102はソース配線、103は液晶に電圧を印加する際のスイッチング素子として用いる薄膜トランジスタ（TFT）、104は光の透過非透過のスイッチングを行なう液晶を等価回路的に容量で示したものの、105は液晶104に並列に配置されTFTの寄生容量の影響を低減するための保持容量、106は液晶105の片側の電極をコモン電圧に接続する接続部、107はゲート側外部回路をゲート配線101にTCPなどを用いて接続するためのゲート端子、108はソース側外部回路とソース配線102をTCPなどを用いて接続するためのソース端子、109、

110はそれぞれTFTや高抵抗の線形あるいは非線形素子で形成され、ゲート端子107とソース端子108を信号印加時には電氣的に分離し、静電気などの高電圧が印加された場合には電氣的に結合するための高抵抗素子。111はゲート配線101に高抵抗素子109を介して接続されている配線A、112はソース配線102に高抵抗素子110を介して接続されている配線B、113は静電気対策のために配線A(111)と配線B(112)を接続するための接続部である。この部分は抵抗素子やTFTなどの非線形素子を介して接続してもよい。

114はソース配線がオープンとなっている場合などに用いるリペア配線である。TFTアレイはカラーフィルターが形成された対向基板と組み合わせて液晶を注入後、一般的には図中の点線で示した領域115の外側を切り離してLCD(液晶ディスプレイ)とする。

【0015】

また、必要に応じてはTFTアレイ形成時に点線で示した115の外側の部分の少なくとも一部は形成しなくともよい。

【0016】

図2、図3は、本発明の写真製版工程数を削減したTFTアレイ基板の製造工程を示す断面図であり、図1に示したTFTアレイ基板の回路を実現する構造の一例を示す。図2、図3は図4、図5のY-Y断面の部分およびゲート・ソース端子部の断面構造を示している。

【0017】

図2、図3において210は絶縁性基板、211は金属層からなるゲート電極あるいはゲート配線、212は前段あるいは次段の隣接するゲート配線／電極である。213はゲート絶縁膜、214は半導体層(能動層)、215はPあるいはBなどの不純物を高濃度に含有した半導体層からなるオーミックコンタクト層、216はソース／ドレイン電極および画素電極として用いる透明導電体層、217は金属層からなるソース／ドレイン電極でソース配線102も形成する。218はホトレジストとして用いることのできる感光性有機樹脂、219は保持容量電極、220は Si_3N_4 などの保護膜として用いる保護絶縁膜である。

【0018】

図4、図5において使用している符号のうち図1、図2、図3と同一の番号は同一の部分を示す。また、242aはドレイン電極、242bはソース電極、230は半導体領域、245は画素電極、243は画素電極上で保護絶縁膜220および金属層217が取り除かれた光を透過させる領域である。

【0019】

つぎに、本発明の製法について説明する。

【0020】

絶縁性基板210上にCr、Al、Mo、W、Ti、Cu、Ag、Taなど金属やそれらを主成分とする合金あるいはそれらの積層した金属などからなる物質をスパッタ、蒸着、CVD、印刷法などの手法で形成する。ついで、ホトレジストなどを用いて写真製版法およびそれに続くエッチング法などで金属などの低抵抗層からなるゲート電極およびゲート配線パターン211および次段あるいは前段の隣接するゲート配線212を形成する(図2(a)および図4(a))。

【0021】

ついで、プラズマCVDなどの各種CVD法や、スパッタ法、蒸着、塗布法などで形成したゲート絶縁膜となる Si_3N_4 、 SiO_xN_y 、 SiO_2 、 Ta_2O_5 、 Al_2O_5 などあるいはこれらの物質で化学量論組成より幾分ずれたものあるいはそれらの積層物からなるゲート絶縁膜213、プラズマCVD法やスパッタ法で形成した意図的にドーパントとなる不純物をドーピングしていないあるいは意図的にドーピングしていてもその不純物の濃度が50ppm程度以下またはTFEの実使用電圧条件の暗時のリーク電流が50pAを超えない程度以下にドーパントの濃度が抑えてあるチャンネル用半導体層として用いるa-Si:H膜(水素化非晶質シリコン膜)からなる半導体層214、金属とのコンタクトを取るためにプラズマCVDやスパッタ法で形成したリン、アンチモン、ボロンなどの不純物を膜中に原子比でたとえば0.05%以上存在させた高濃度に不純物をドーピングした半導体層であるたとえば n^+ a-Si:H膜やマクロクリスタル n^+ Si層からなるオーミックコンタクト層215を連続的に形成する。

【0022】

ついで、ホトレジストをまず全面に塗布する。ついでホトマスクを用いた露光

によりホトレジストパターンを形成する。このホトレジストパターンの形状は、以下のようにする。まず、図 2 (b) あるいは図 4 (b) に示すように少なくともゲート電極/配線 2 1 1 のコンタクトを取るためにゲート絶縁膜 2 1 3、半導体層 2 1 4、オーミックコンタクト層 2 1 5 にゲート端子部 2 2 3 においてコンタクトホールをあけるため、その部分の少なくとも一部はホトレジストを形成しない(領域 C)。a-Si:H 膜からなる半導体層を残す部分は厚さ A のホトレジストを形成する(領域 A (2 1 8 a、2 3 0))。また、a-Si:H 膜 2 1 4 および n^+ a-Si:H 膜 2 1 5 のみをエッチングしゲート絶縁膜 2 1 3 を残したい領域には厚さの薄いホトレジストを形成する(領域 B (2 1 8 b))。領域 A (2 1 8 a、2 3 0) のホトレジストの厚さは領域 B のホトレジストの厚さ (2 1 8 b) より厚くなるように設定する。ゲート配線上で隣り合うソース配線間には領域 B (2 1 8 b) を形成してその部分の a-Si:H 膜 2 1 4 および n^+ a-Si:H などの膜 2 1 5 を取り除き、隣り合うソース配線間は電氣的に絶縁状態にしておくことが望ましい。

【 0 0 2 3 】

このようなホトレジストの厚みの違いは以下のように形成する。ポジ型ホトレジストを用いる場合について説明する。ネガ型にあっても基本的に同等な方法でパターンを形成できる。

【 0 0 2 4 】

ホトレジストを形成しない部分はマスク上をほぼ透明な状態としておき十分に光を透過させホトレジストが現像時に残存しないだけの十分な光量を当てる。この結果、ホトレジストが形成されない領域 C が形成される。一方、ホトレジスト厚み A の部分はたとえば、その位置に対応するマスクの部分をほぼ光が透過しないように十分な厚さの Cr などの光を通さない材料で遮光しておく。この結果、この部分のホトレジストには充分の光が露光時にあたらないため、現像時にホトレジストが充分な厚さで残存する領域 A が実現できる。中間のホトレジストの厚みをもつ領域 B は、ホトレジストに露光量が領域 A と領域 C の間の露光量が照射されるようにする。この露光量の調整で、現像時に領域 B の厚みは領域 A より薄く設定される。この結果図 2 (b)、図 4 (b) の形状が実現される。露光量あ

るいは光量はホトレジストに照射される光強度×時間で示される。ホトレジストの厚みが、領域A＞領域B＞領域C（実質的に0）に設定するために、領域Bのホトレジストへ照射される露光量が領域Aと領域Cの中間の露光量が照射されるようにするが（露光量は、領域A＜領域B＜領域C）、それにはいくつかの方法が存在する。たとえば、領域Bを形成するマスク上のパターンの透過率を、領域Bを形成する際に用いたマスク上の透過率を領域Aの部分の透過率よりも高くし、領域Cを形成する部分の透過率よりも低くする。このためにはたとえば、領域Bを形成する部分のホトレジストの遮光膜として用いるCrなどの遮光材料の厚みを領域Aを形成する部分のその厚みより薄くして光量を制御してもよい。あるいは領域Bの部分に絶縁膜を1層あるいは多層に形成し、透過率、反射率、あるいは位相などを変えて実効的に領域Bの透過率を領域Cの透過率より低くしてもよい。

【0025】

また、露光量を領域A（実質的に0）＜領域B＜領域Cに設定するためには、以下の方法もある。領域Aと領域Bに対してともに同等程度の低い透過率をもつ遮光部分でマスク上にパターンを形成し、領域C用には十分な透過率をもつたとえば一切の遮光パターンを形成しないパターンをマスク上に形成する。ついで、この領域A＋領域Bの遮光パターンをもつマスクを用いて露光量1で露光を行ない、領域Cに対応する部分のホトレジストに光を照射する。ついで、領域Aの遮光パターンマスクを用いて領域Aを形成する部分以外に露光量2で光を照射する。このとき露光量1は現像時に領域Cのホトレジストが十分に除去できる強度で露光を行ない、露光量2は現像時に領域Bに必要な厚みのホトレジストが残るように設定する。一般的にはポジ型のホトレジストを用いた場合には露光量1は露光量2よりも、光照射時の光強度×光照射時間の計算結果が大きくなるように設定する。

【0026】

ホトレジストの厚みが、領域A＞領域B＞領域C（実質的に0）に設定するための第3の方法としては、領域Aを形成するためには金属などの低い透過率をもつ遮光層でマスク上にパターンを形成し、領域C用には十分な透過率をもつたと

えば一切の遮光パターンを形成しないパターンをマスク上に形成する。

【0027】

領域B用としては、たとえばいわゆるハーフトーンマスクを用いてもよい。実際のパターンの例を図6に示す。ハーフトーンマスク246はマスク上の遮光パターンの空間周波数を露光機のパターン分解能力より充分高くし、ホトレジスト上でマスクのパターンが充分解像できない状態とし、領域Cよりもホトレジストに入射する露光強度が少なくなるようにする。ハーフトーンマスクのパターンは、まったく光を通さない領域と、透過率がホトマスクのガラスと同等の領域が、合計6 μ m以下の幅で周期的に形成されていることが望ましい。

【0028】

この結果、ホトレジストの厚みが領域A>領域B>領域C（実質的に0）に設定でき、その結果、図2（b）、図4（b）のホトレジスト形状が実現される。

【0029】

ついで、たとえばゲート配線上の n^+ a-Si:H膜215、a-Si:H膜214といった半導体膜と、 Si_3N_4 などのゲート絶縁膜213をエッチングする。このエッチングは、たとえばHC1を主成分とするガスや CF_4 を主成分とするガスや CF_4 と O_2 の混合ガス、 SF_6 を主成分とするガスなどで行なう。この結果、少なくともたとえばゲート配線と外部から信号を入力するためTCPなどと接続するゲート端子部分223、静電気防止のため直接ソース配線あるいはTF Tあるいは抵抗を介してソース配線部と短絡する部分（図1、113など）において、 n^+ a-Si:H膜215、n-Si:H膜214、ゲート絶縁膜213はエッチングされる。このエッチング完了時に、領域Bのホトレジストは残存するように膜厚が設定されている。この工程で n^+ a-Si:H膜215、a-Si:H膜214、 Si_3N_4 などのゲート絶縁膜213のエッチングは CF_4 や CF_4+O_2 などの単一ガスで全膜をエッチングしてもよいが、たとえばa-Si:H膜エッチング時にSiN膜のエッチングが抑えられるようなガスを用いるなど、少なくともa-Si:H膜と Si_3N_4 膜を別々のエッチングガスでドライエッチングしたり、別々の条件でエッチングしてもよい。この場合a-Si:Hのエッチングとして SF_6 、HC1、F123あるいはこれらの混合ガスあるい

はこれらと不活性ガスあるいは O_2 との混合ガスを Si_2N_4 膜のエッチングとして CF_4 、 SF_6 あるいはこれらの混合ガスあるいはそれらと O_2 や不活性ガスと混合ガスを用いてもよい。

【0030】

ついで、たとえば酸素プラズマなどのレジストの膜厚を低減できるプラズマを用いてアッシングを行なってレジストを削り、領域B (218b) からレジストを取り除く (図2 (c))。このとき領域A (218a) のレジストの膜厚は初期の膜厚より薄くなるが、以下のエッチング時にエッチングしない部分を充分保護できるような厚みを保つように制御する。ついで、少なくとも $n^+a-Si:H$ 膜215、 $a-Si:H$ 膜214をドライエッチング法などでエッチングし領域Bよりこれらの膜を取り除く (図3 (a))。

【0031】

このとき、領域Bのレジストの膜厚を低減させる工程は独立に行なわず、 $n^+a-Si:H$ 膜215、 $a-Si:H$ 膜214、 Si_3N_4 などのゲート絶縁膜213のエッチング行なう際に、ホトレジスト自身も幾分削れる現象を利用し、同時に領域Bのホトレジストを削ってもよい。ついで、ホトレジスト218aを取り除く。

【0032】

ついで、たとえばITO (インジウム スズ酸化物) や SnO_2 、 $InZnO$ などの透明導電膜あるいはこれらの積層、あるいは混合層からなる透明導電層216と、Cr、Al、Ti、Ta、Au、Ag、W、Mo、Mo-W、Cuあるいはこれらを主成分とする合金あるいはそれらの多層積層物などからなるソース電極242bおよびソース配線102、ドレイン電極242aとなる金属層217を成膜する。ついで写真製版法でソース電極及びソース配線、ドレイン電極、画素電極の形状に配線パターンを形成後、透明導電層216と金属層217を同一のホトレジストパターンを用いてウエットあるいはドライなどでエッチングし、ソース電極、ソース配線、ドレイン電極および画素電極を形成する。ついで、ソース電極242bとドレイン電極242a間の $n^+a-Si:H$ 膜などで形成したオーミックコンタクト層215をドライエッチングなどで取り除き、最後に

レジストを剥離することで所定のパターンを形成する（図 3（b）、図 4（c））。

【 0 0 3 3 】

このとき、保持容量を形成するため、ソース配線と同時に作製する保持容量電極 2 1 9 を少なくともゲート絶縁膜 2 1 3 を介して次段あるいは前段のゲート配線 2 1 2 と対抗させる。このとき、保持容量電極 2 1 9 とゲート絶縁膜 2 1 3 の間にはゲート絶縁膜 2 1 3 のみでなく $n^+a-Si:H$ 膜 2 1 5、 $a-Si:H$ 膜 2 1 4 を残してもよい。保持容量電極は、容量値を増加させるため図 4（c）に示すように画素電極 2 4 5 の少なくとも一部を前段または次段のゲート配線 2 1 2 上に張り出させる構造を取る必要がある。

【 0 0 3 4 】

ついで、 Si_3N_4 、 SiO_2 などあるいはそれらの混合物および積層物からなる絶縁膜で形成した保護膜 2 2 0 を成膜する。写真製版で少なくとも信号を入れるために外部の TCP など に接続するゲート端子部 2 2 3、ソース端子部 2 2 4 にコンタクトホールが形成できるように保護膜 2 2 0 を取り除くホトレジストパターンを形成するとともに、画素電極 2 4 5 として光を透過させる領域 2 4 3 の上の保護膜 2 2 0 を取り除くことができるようなホトレジストパターンを形成後、 CF_4 系などのガスを用いたドライエッチングやウエットエッチング法で保護膜 2 2 0 を取り除く。さらに、2 層のソース配線材料層のうち上層の金属層を取り除く。エッチャントとしては上層の金属膜をエッチングするが、下層の ITO 膜をエッチングしない溶液やガス等を使用し、ウエットあるいはドライエッチングする。これにより、コンタクトホールと画素電極の ITO 膜が露出する。エッチング完了後ホトレジストを除去する。これにより、TFT アレイが形成される（図 3（c）、図 5（a））。完成した平面パターン図は図 5（b）に示す。

【 0 0 3 5 】

ついで TFT アレイ上に配向膜を形成し、少なくとも表面に配向膜とコモン電極を形成した対向基板と向かい合わせ、両ガラス基板を保持し、かつ液晶を保つシール部を周辺に形成しその間に液晶を注入し、注入孔を封止してアクティブマトリクス型液晶ディスプレイを形成する。

【 0 0 3 6 】

以上のプロセスによって図 1 に示した構成図をもつ T F T アレイおよびそれを用いた液晶ディスプレイが形成される。

【 0 0 3 7 】

図 1 においてたとえばゲート配線材料を用いて形成したソース配線のリペア配線 1 1 4 が図示されているが、これは状況によっては形成しなくともよい。

【 0 0 3 8 】

また、図 7 に示すように、リペア配線 1 1 4 との交差部において、ソース配線 1 0 2 をコンタクトホール 1 1 6 a、1 1 6 b を利用してゲート配線材料で形成したゲート配線と同層の配線 1 1 7 に一旦変換してもよい。このときリペア配線 1 1 4 はソース配線材料を用いて形成する。

【 0 0 3 9 】

また、図 8、図 9 のようにソース配線 1 0 2 においてコンタクトホールを介してゲート配線材料に変換してソース端子 1 0 8 までつなげてよい。たとえば、保護膜 2 2 0 が薄い場合など、ピンホールを介して水分が進入し、シール部の外側に存在するソース端子部 1 0 8 近傍でソース配線が腐食することがあるが、このようにゲート配線材料に変換すればソース配線の腐食の問題を避けることができる。

【 0 0 4 0 】

実施の形態 2

前記実施の形態では保持容量が次段あるいは前段のゲート配線との間で形成されたいわゆる C S o n g a t e 構造に関して説明したが、図 1 0 の回路図に示すように、ゲート遅延に有利な保持容量配線をゲート配線と別に形成した共通配線構造としてもよい。ここで、保持容量 1 0 5 は共通配線 1 2 0 に接続されている。また、共通配線 1 2 0 はコンタクトホール 1 2 2 を介して共通配線引き出し線 1 2 1 に接続されている。コモン電圧は共通配線引き出し線 1 2 1 に接続されている共通配線端子 1 2 3 を介して外部から電圧を印加する。その他の部分の機能と図番号は図 1 と同じである。

【 0 0 4 1 】

共通配線方式においては、たとえば図 1 1 に示すような断面構造、図 1 2、図 1 3 に示す平面配置を取る。図 1 2、図 1 3 には平面図をフローごとに示す。ここで図 1 1 は図 1 2、図 1 3 の Z-Z 断面図である。断面のフローは図 2 と基本的に同じである。

【 0 0 4 2 】

図 1 0 に示すように、共通配線構造を用いる場合はゲート配線と平行に引き出される共通配線 1 2 0 とそれをまとめてゲート配線 1 0 1 と垂直に走る共通配線引き出し線 1 2 1 が必要となる。図 1 0 の場合はゲート配線 1 0 1 と同時に作製した共通配線 1 2 0 を左端でコンタクトホール 1 2 2 を介してソース配線 1 0 2 と同時に作製した共通配線引き出し線 1 2 1 と接続している。

【 0 0 4 3 】

図 1 4 のように共通配線 1 2 0 はゲート配線 1 0 1 と同じ材料で同時に形成することが最もよく、共通配線引き出し線 1 2 1 は少なくともそのゲート配線との交差部 1 2 4 はゲート配線とは異層のソース配線材料を用いる。場合によってはゲート配線との交差部以外は、ゲート配線材料で共通配線引き出し線を形成してもよい。

【 0 0 4 4 】

また、図 1 5 に示すように、リペア配線 1 1 4 との交差部において、ソース配線 1 0 2 をコンタクトホール 1 1 5 a、1 1 5 b を利用してゲート配線材料で形成したゲート配線と同層の配線 1 1 6 に一旦変換してもよい。

【 0 0 4 5 】

また、図 1 6 のようにソース配線 1 0 2 においてコンタクトホールを介してゲート配線と同じ材料に変換してソース端子 1 1 0 までつなげてよい。たとえば、保護膜 2 2 0 が薄い場合などピンホールを介して水分が進入し、シール部の外側に存在する端子部 1 0 8 近傍でソース配線が腐食することがあるが、このようにゲート配線材料に変換すればソース配線の腐食の問題を避けることができる。この構造の端子部の断面図は図 9 と同じである。

【 0 0 4 6 】

実施の形態 3

図5、図13に示すように画素電極に光を通すための金属を取り除くため保護膜220を取り除く領域243は242aの内側に書かれているが、243の外側に配置してもよい。

【0047】

実施の形態4

前記実施の形態1～3では、液晶自身に電圧を印加するコモン電極が対向基板にある場合に関して説明したが、広視野角を実現できるIPS (In-plane switching) モードなどの横方向電界印加用TFT基板に関しても適用できる。この場合は、ソース配線は透明導電膜216と金属層217の2層にする必要はなく金属層217のみでもよい。そしてゲート電極と同時に形成する横電界用の少なくとも2本の電極(図20(b))、あるいはソース電極と同時に形成する横方向用の少なくとも2本の電極、あるいはソース電極と同時に形成する少なくとも1本の横方向電界用の電極とゲート電極と同時に形成する少なくとも1本の横方向電界用電極が組となった少なくとも2本の横方向電界用の電極(図20(a))を用いて横方向の電界を液晶に印加する電極構成を作ることができる。この場合は保護絶縁膜220は図3(c)のように画素電極上を取り除かなくてもよい。また、保護絶縁膜を形成しなくてもよい。

【0048】

また、図3(b)、(c)の部分を図21(a)、(b)のようなフローにしてもよい。この時ソース電極/配線は金属一層で作る。ここで図21(a)のようにドレイン電極242a、ソース電極242bを形成後、図21(b)のように保護絶縁膜220(SiN)を形成する。ついで、ドレイン電極242a上と共通配線212上にコンタクトホールを形成後、ドレイン電極側のIPS電極247、共通配線側のIPS電極248となる第3の電極を形成する。平面図を図20(c)に示す。

【0049】

実施の形態5

前記実施の形態では、a-Si:H膜の島状化のため、図2で示したようにハーフトーンなどの技術を用い、レジストの厚みを平面状で部分的に変更していた

が、この工程を止め、 $a-Si:H$ 膜の島化の写真製版を別に行ってもよい。この場合は、たとえば、レジストの厚みには空間的には変化させない。図2(b)の状態では、平面的にレジストの厚みを変化させず、コンタクト部223上の SiN 膜213/ $a-Si:H$ 214/ $n^+a-Si:H$ 215を抜く工程を実施後、レジストを除去し、再度トランジスタの島を形成するパターンを作製し、TFT部以外の $a-Si:H$ 膜214と $n^+a-Si:H$ 膜215をエッチングで取り除き、図3(a)の構造を作製する。この場合、図1よりは写真製版回数が増えるが、従来例よりは低減できる。

【0050】

実施の形態6

前記実施の形態によれば、半導体層は $a-Si:H$ 膜で形成されていたが、 $poly-Si$ であってもよい。

【0051】

実施の形態7

$n^+a-Si:H$ 膜215は n^+ マイクロクリスタル Si 層であってもよく、この場合、ITO層216と $n^+a-Si:H$ 膜215間のコンタクト抵抗が低下し、TFTのオン電流が改善が図れる。

【0052】

実施の形態8

ソース配線としても用いているITO層216はアモルファスITOであってもよく、同時にソース金属としてAlやCr/AlなどのAl系を用いた場合は、ITOをエッチング時にAlの腐食を低減できる、シュウ酸などのAlに対する腐食性が低いエッチャントと使用できる。

【0053】

実施の形態9

前記実施の形態においてゲートとしてAl系材料を用いる場合は、Alおよびその合金の表面をAlの窒化物あるいは酸化物とするとITO層とのコンタクトを改善できる。

【0054】

実施の形態 1 0

前記実施の形態において $n^+a-Si:H$ 膜 2 1 5 の表面は若干酸化プラズマなどに曝し酸化処理をしておいてもよく、これにより I T O 2 1 6 と $n^+a-Si:H$ 膜 2 1 5 間のコンタクト抵抗のバラツキを低減できる。

【 0 0 5 5 】

【発明の効果】

以上のように本発明によればマスクの写真製版工程数を 4 回で T F T アレイを形成することができるので低コストの T F T アレイを実現することができ、コスト低減、生産量アップを実現することができる。

【図面の簡単な説明】

【図 1】

本発明が適用されるアクティブマトリクス型液晶表示装置の T F T アレイ基板の回路図である。

【図 2】

本発明の T F T アレイ基板の製造工程を示す断面図である。

【図 3】

本発明の T F T アレイ基板の製造工程を示す断面図である。

【図 4】

図 2、図 3 に対応する平面図である。

【図 5】

図 2、図 3 に対応する平面図である。

【図 6】

ハーフトーンマスクのパターンの例を示す図である。

【図 7】

本発明が適用されるアクティブマトリクス型液晶表示装置の T F T アレイ基板の回路図である。

【図 8】

本発明が適用されるアクティブマトリクス型液晶表示装置の T F T アレイ基板の回路図である。

【図 9】

ソース部子部の一例の断面図である。

【図 1 0】

保持容量の共通配線方式を示す回路図である。

【図 1 1】

本発明の T F T アレイ基板の断面構造を示す断面図である。

【図 1 2】

図 1 1 に対応する平面図である。

【図 1 3】

図 1 1 に対応する平面図である。

【図 1 4】

保持容量の共通配線方式を示す回路図である。

【図 1 5】

保持容量の共通配線方式を示す回路図である。

【図 1 6】

保持容量の共通配線方式を示す回路図である。

【図 1 7】

従来のアクティブマトリクス型液晶表示装置の T F T アレイ基板の製造工程を示す断面図である。

【図 1 8】

従来のアクティブマトリクス型液晶表示装置の T F T アレイ基板の製造工程を示す断面図である。

【図 1 9】

図 1 7、図 1 8 に対応する平面図である。

【図 2 0】

横方向電界用 T F T アレイ基板の平面図である。

【図 2 1】

図 2 0 (c) に対応する製造工程を示す断面図である。

【符号の説明】

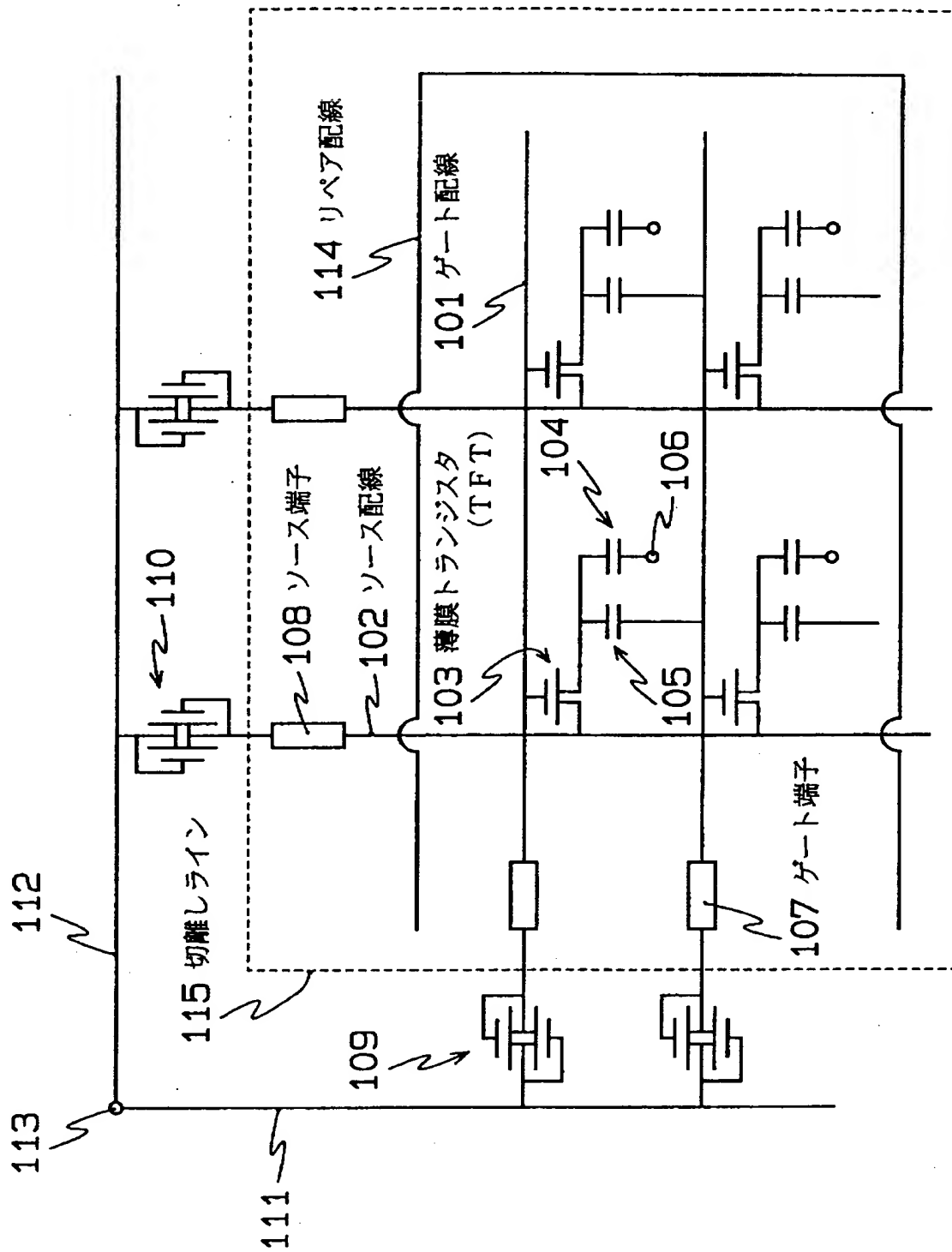
- 1 0 1 ゲート配線
- 1 0 2 ソース配線
- 1 0 3 薄膜トランジスタ (T F T)
- 1 0 4 液晶
- 1 0 5 保持容量
- 1 0 6 コモン電極
- 1 0 7 ゲート端子
- 1 0 8 ソース端子
- 1 0 9、1 1 0 高抵抗素子
- 1 1 4 リペア配線
- 1 1 5 切離しライン
- 1 2 0 共通配線
- 1 2 1 共通配線引出線
- 2 1 0 絶縁性基板
- 2 1 1 ゲート電極／配線
- 2 1 2 ゲート電極／配線 (隣接)
- 2 1 3 ゲート絶縁膜
- 2 1 4 半導体層
- 2 1 5 オーミックコンタクト層
- 2 1 6 透明導電体層
- 2 1 7 金属層
- 2 1 8 ホトレジスト
- 2 1 9 保持容量電極
- 2 2 0 保護絶縁膜
- 2 2 3 ゲート端子部
- 2 2 4 ソース端子部
- 2 2 4 a ドレイン電極
- 2 2 4 b ソース電極
- 2 2 4 c ソース配線

2 3 0	半 導 体 領 域
2 4 3	光 透 過 領 域
2 4 5	画 素 電 極
2 4 6	ハ ー フ ト ー ン マ ス ク
2 4 7、2 4 8	I P S 電 極
2 4 9、2 5 0	コ ン タ ク ト ホ ー ル

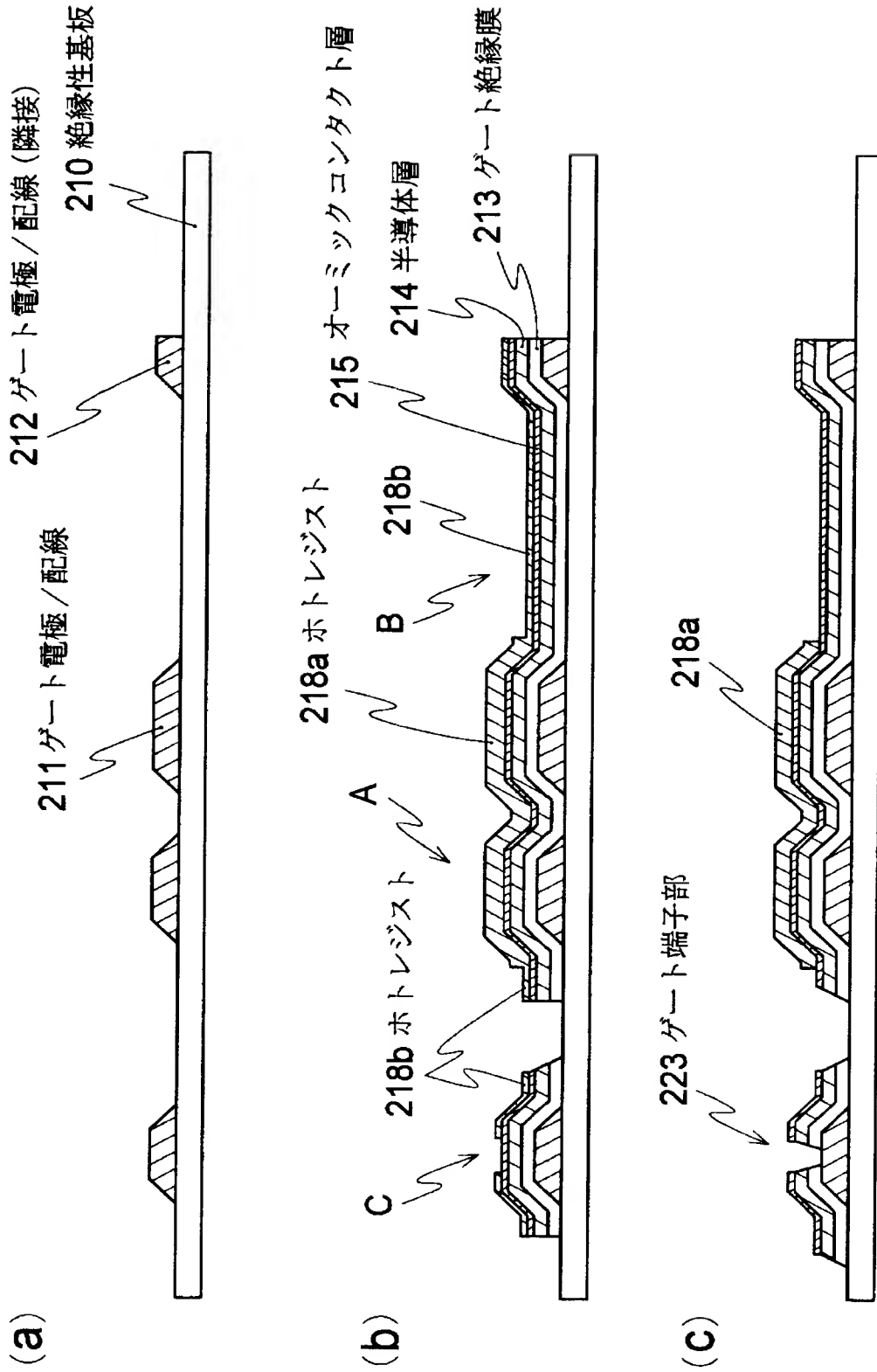
【書類名】

図面

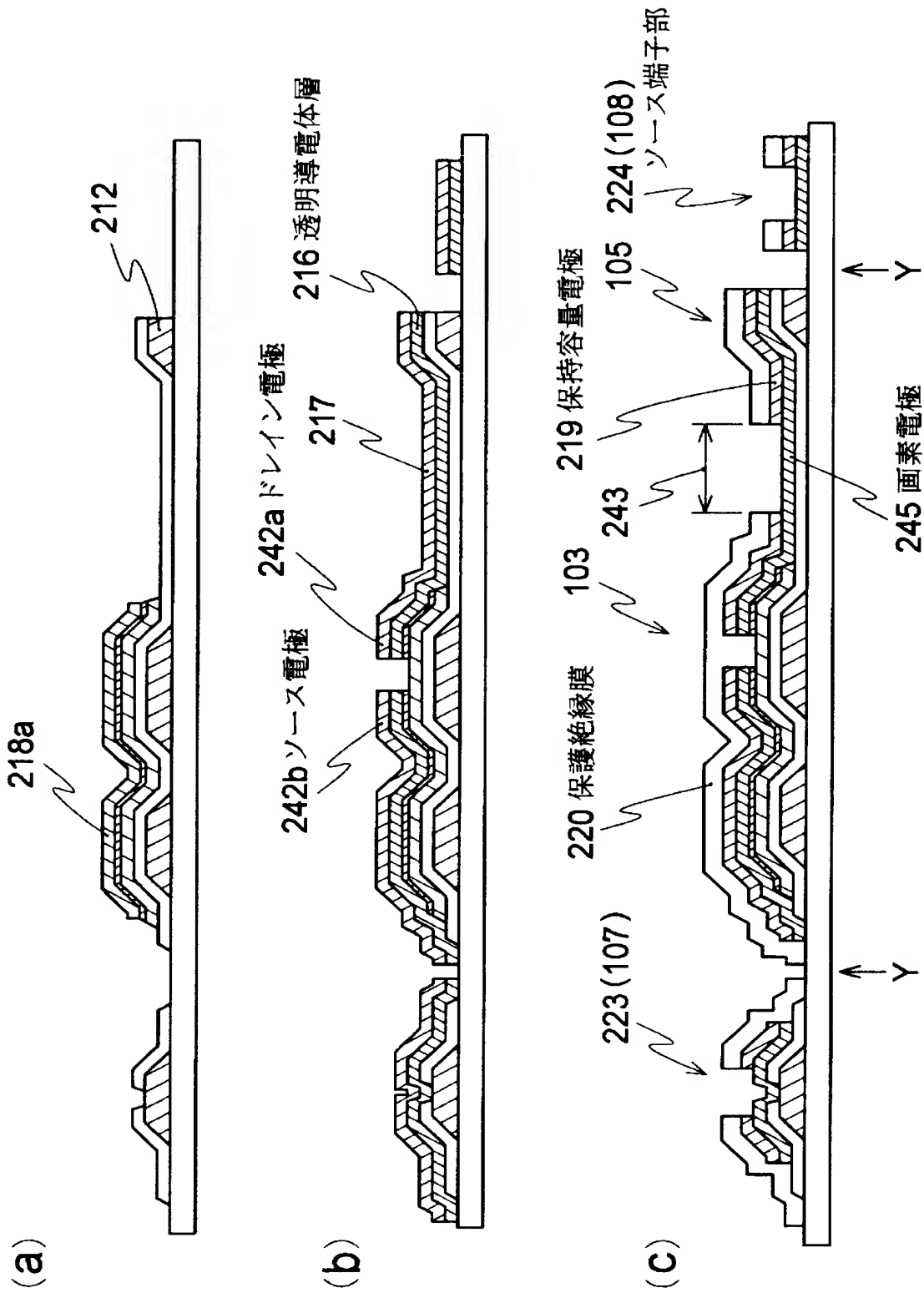
【図 1】



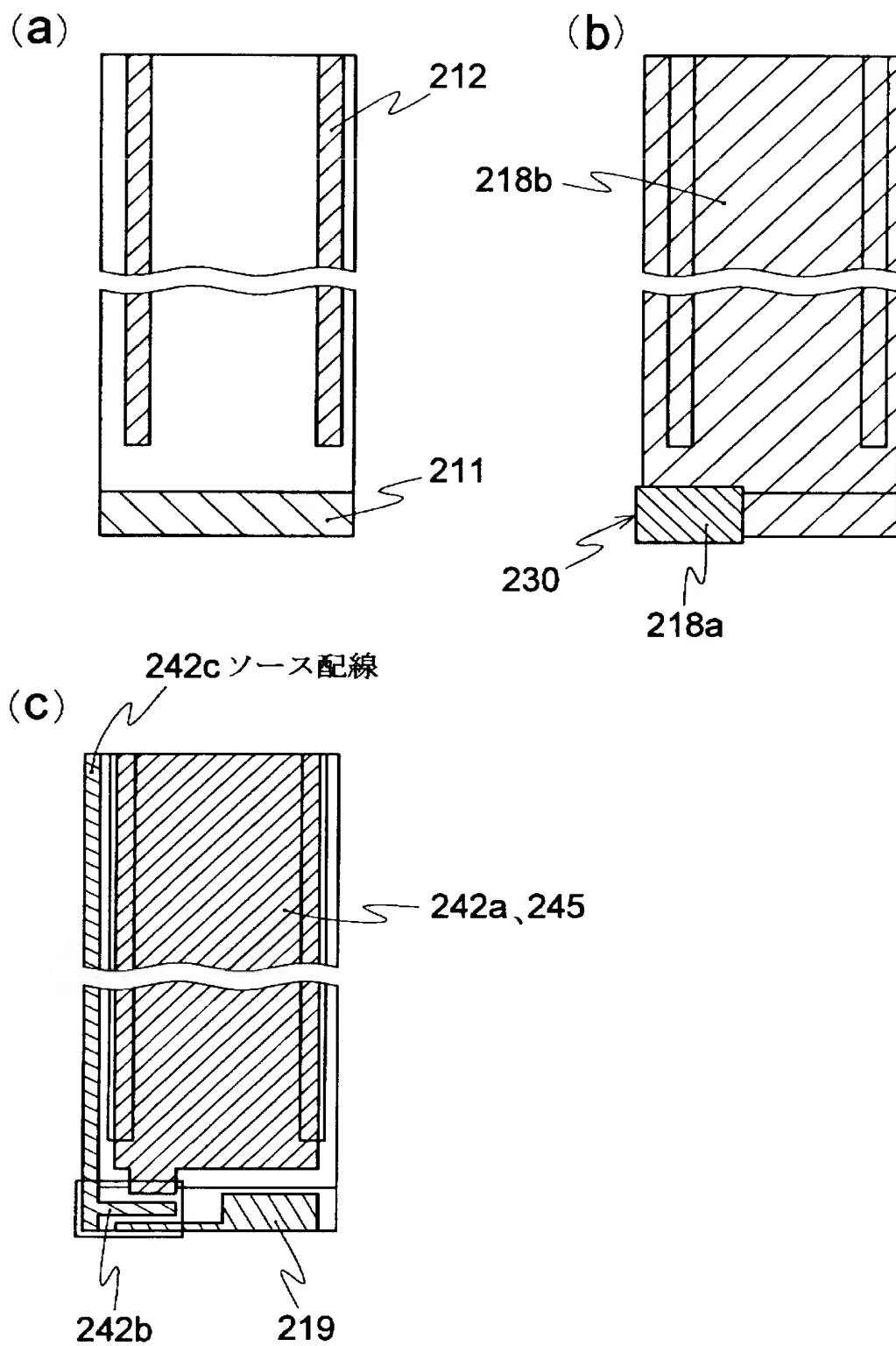
【図 2】



【図 3】

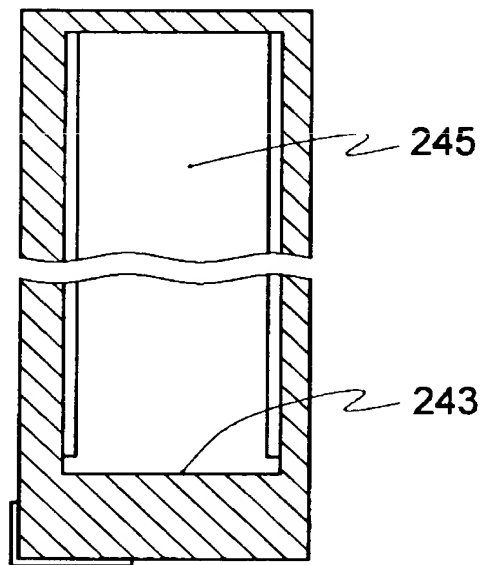


【図 4】

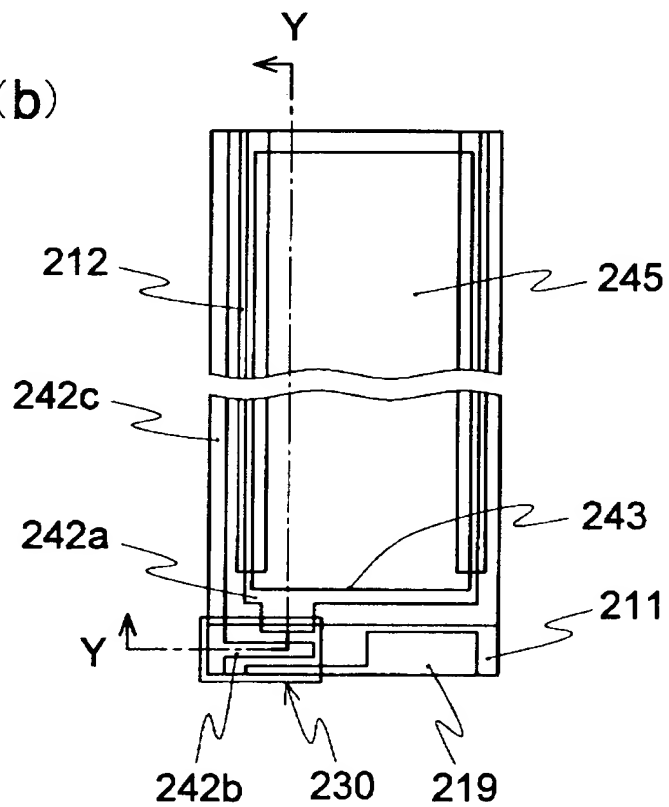


【図 5】

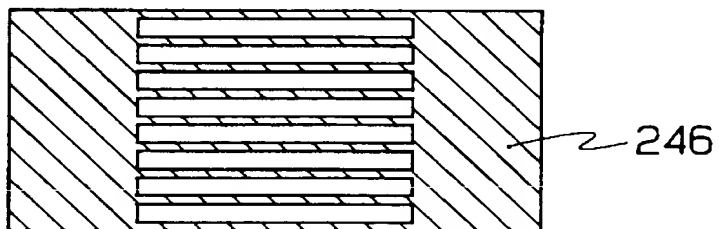
(a)



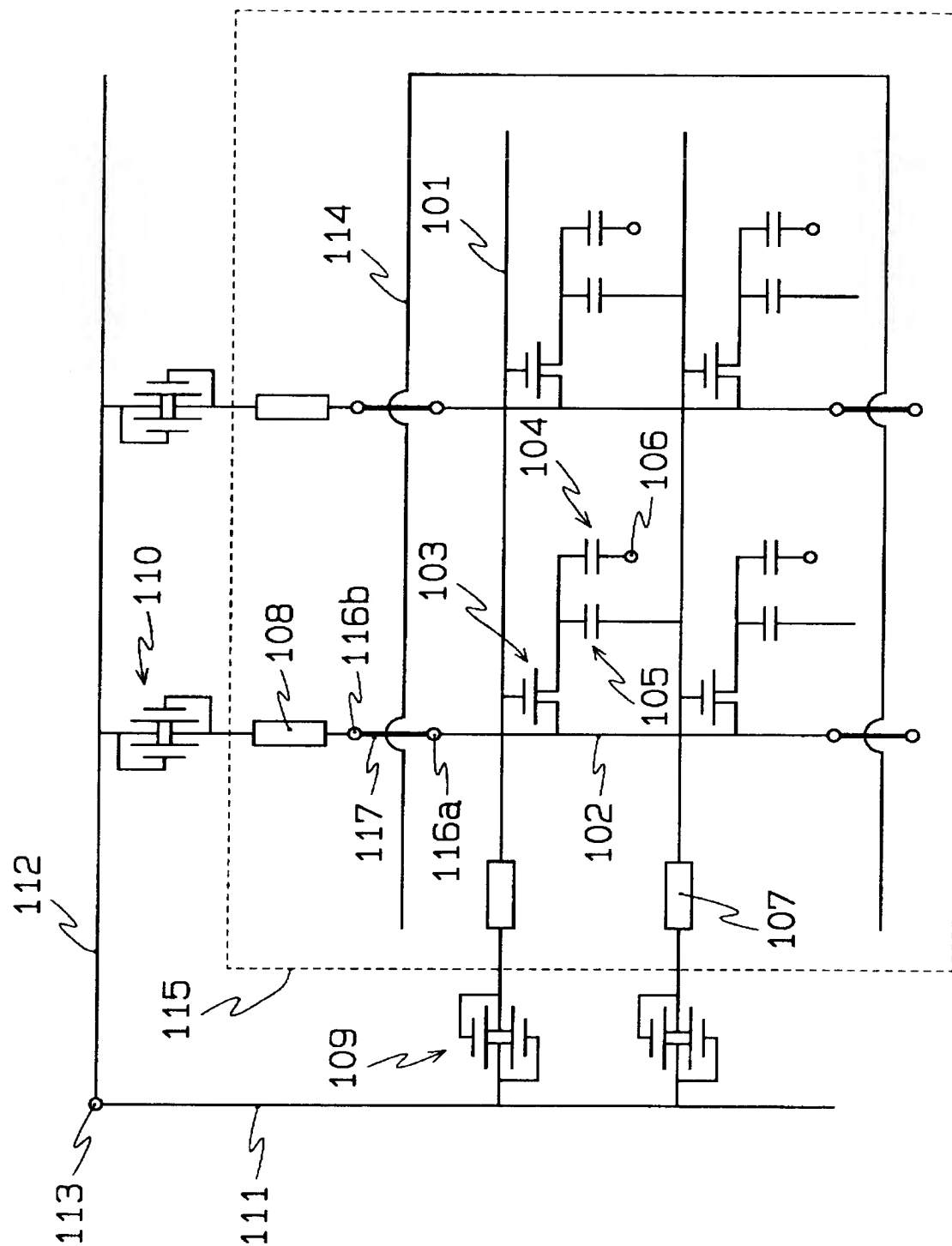
(b)



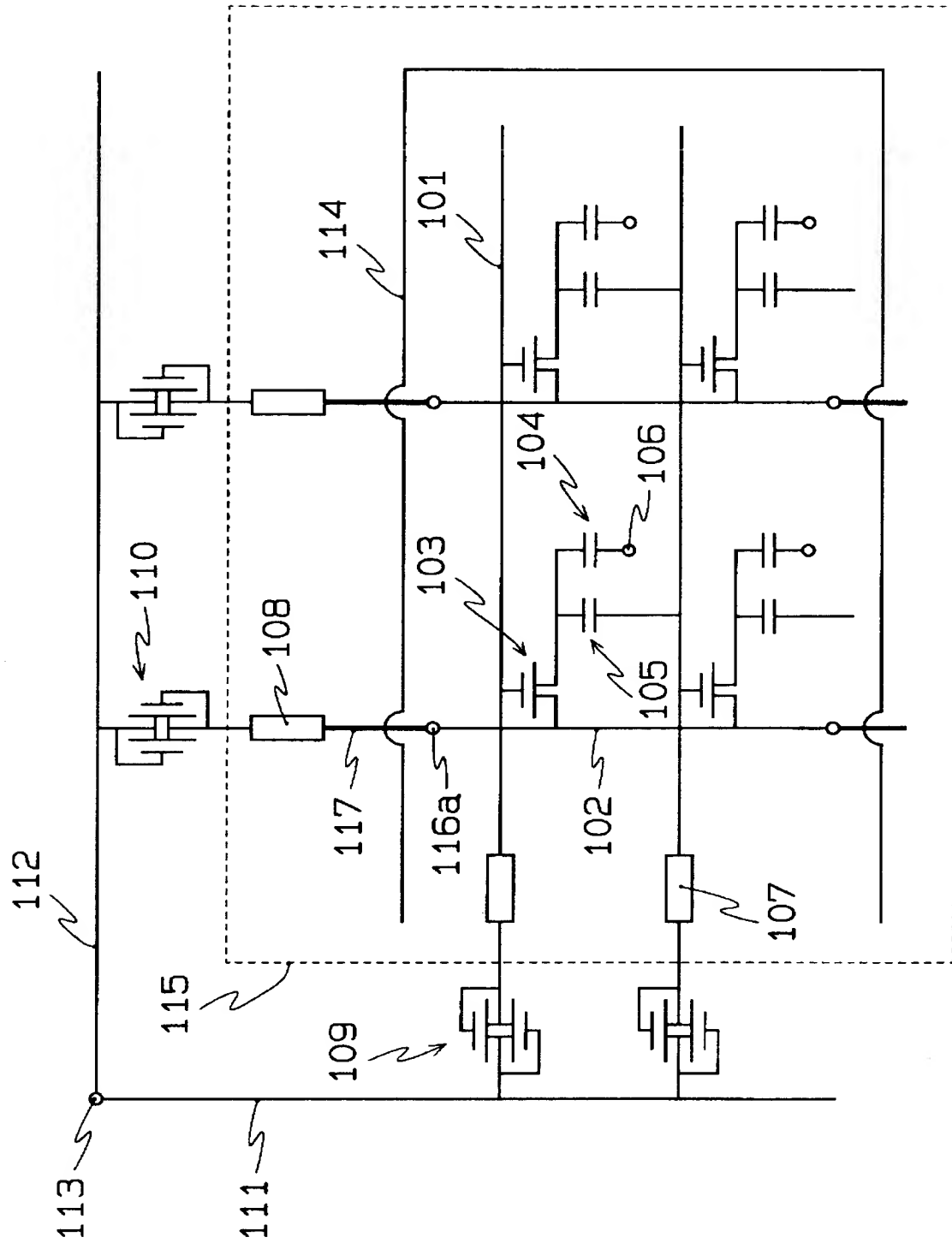
【図 6】



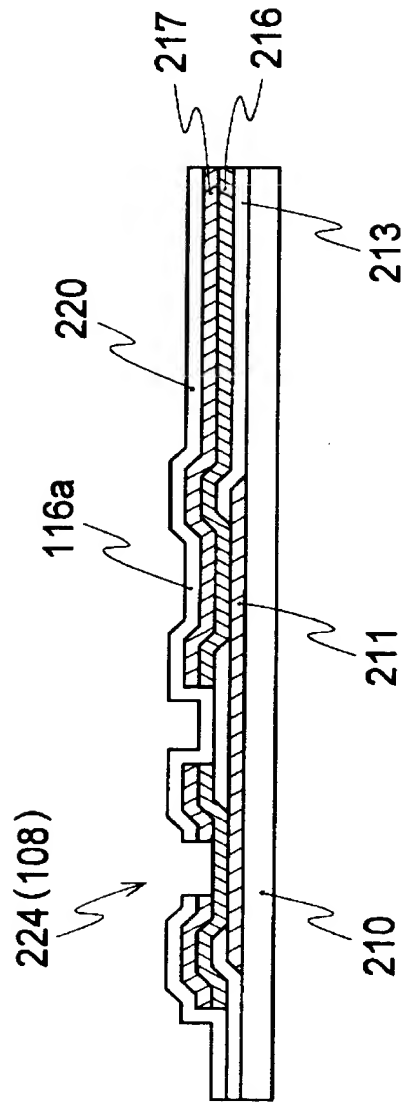
【図 7】



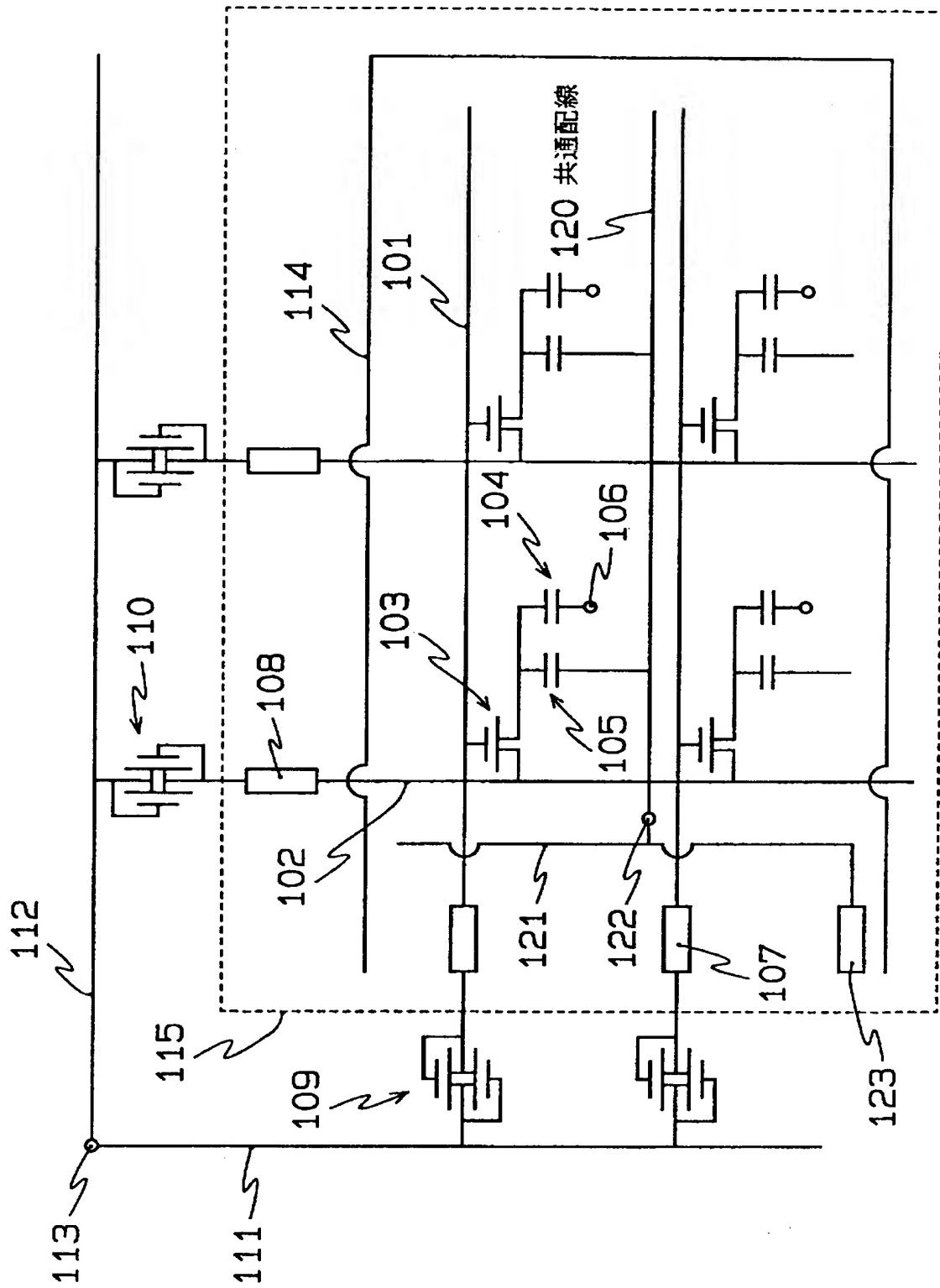
【図 8】



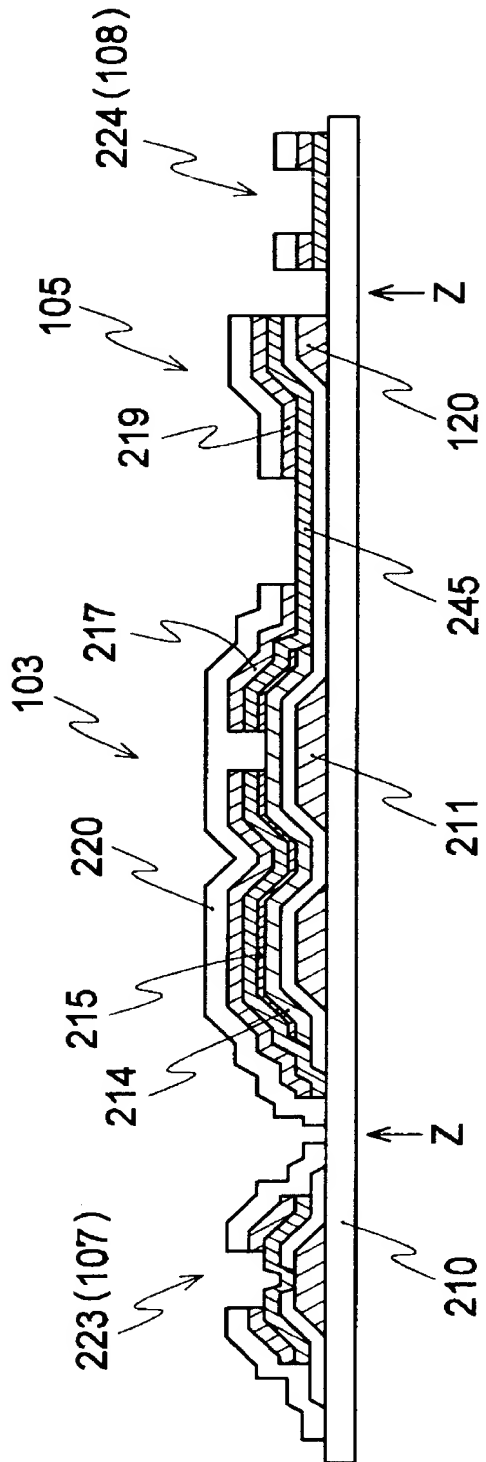
【図 9】



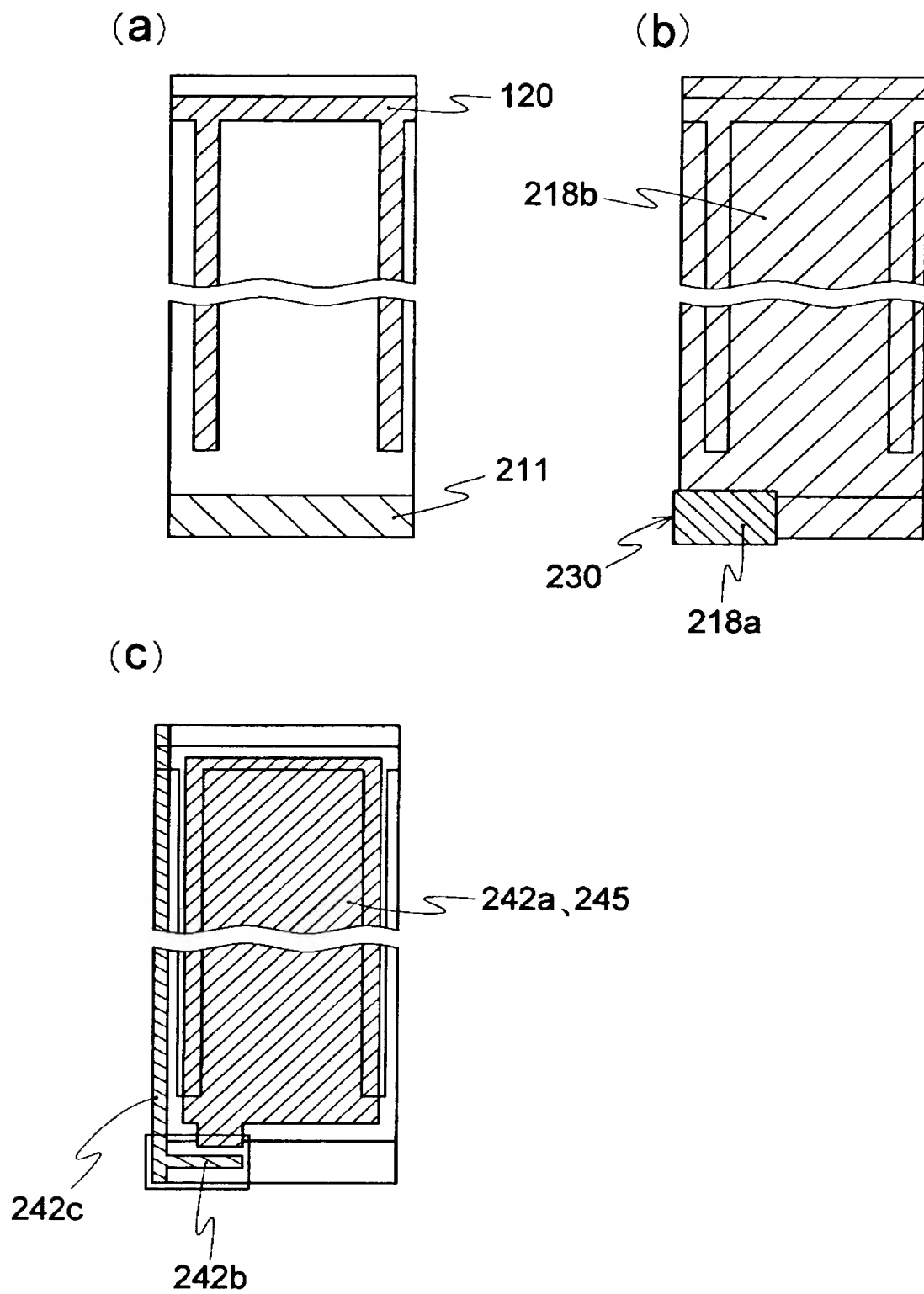
【図10】



【図 1 1】

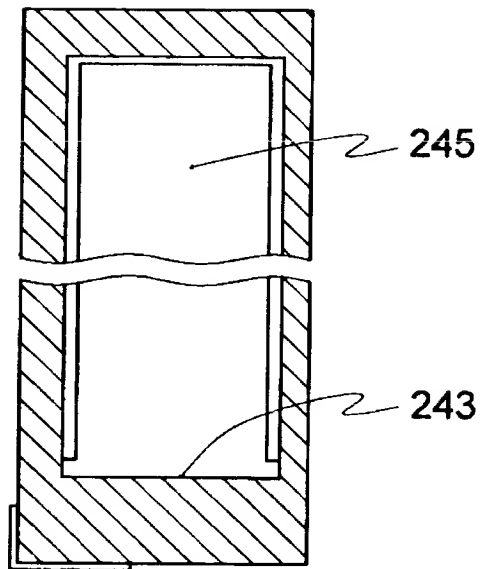


【図 1 2】

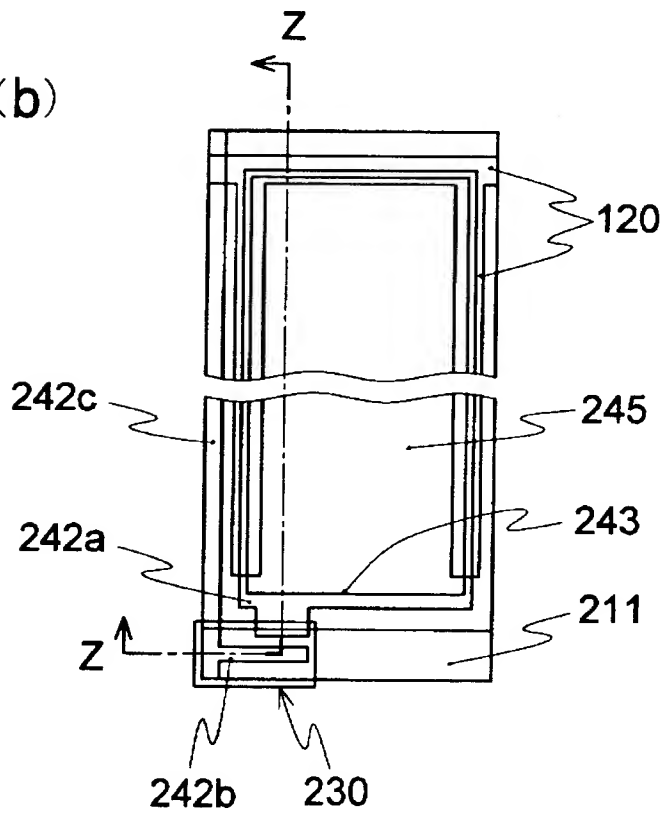


【図 1 3】

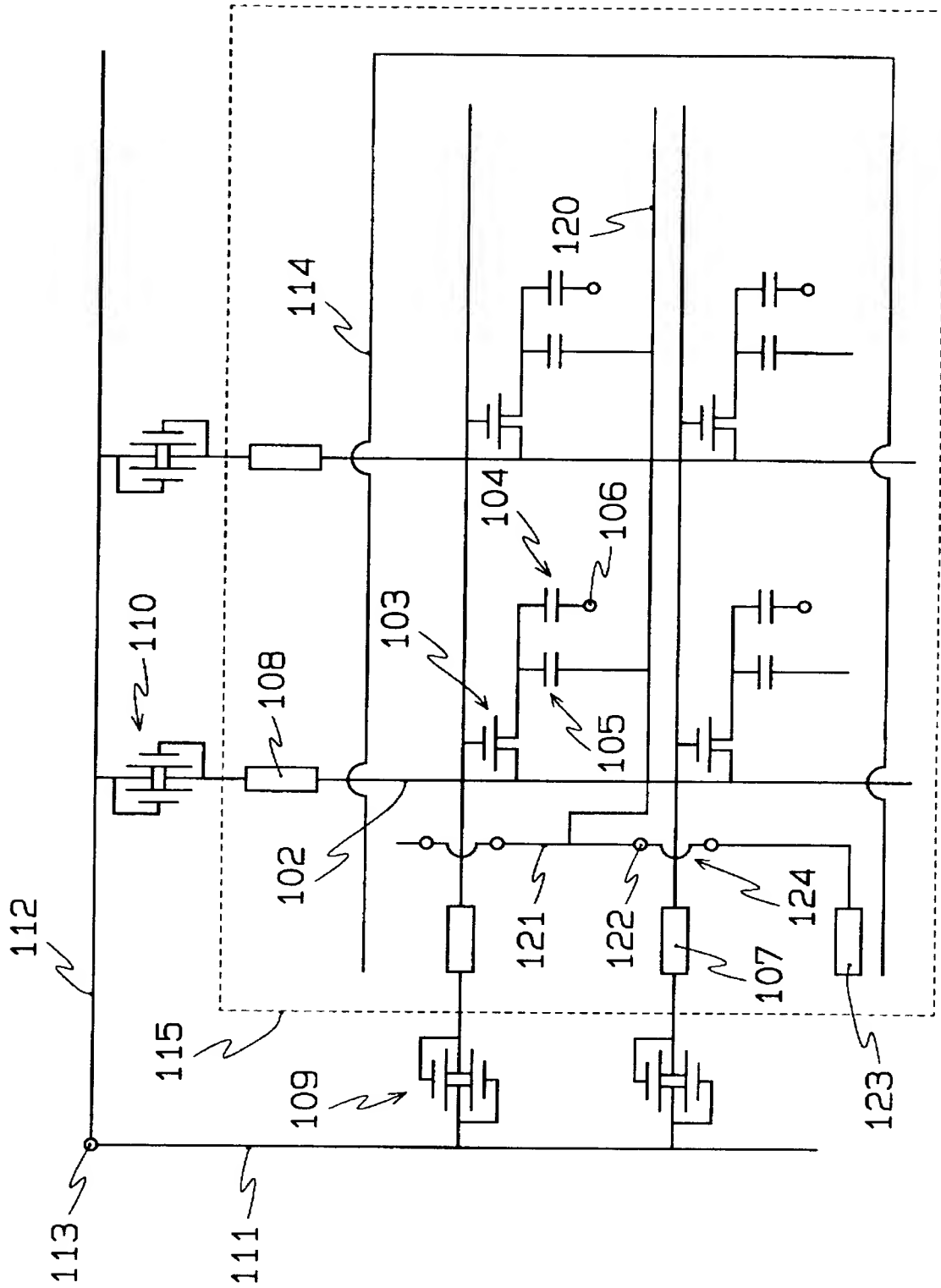
(a)



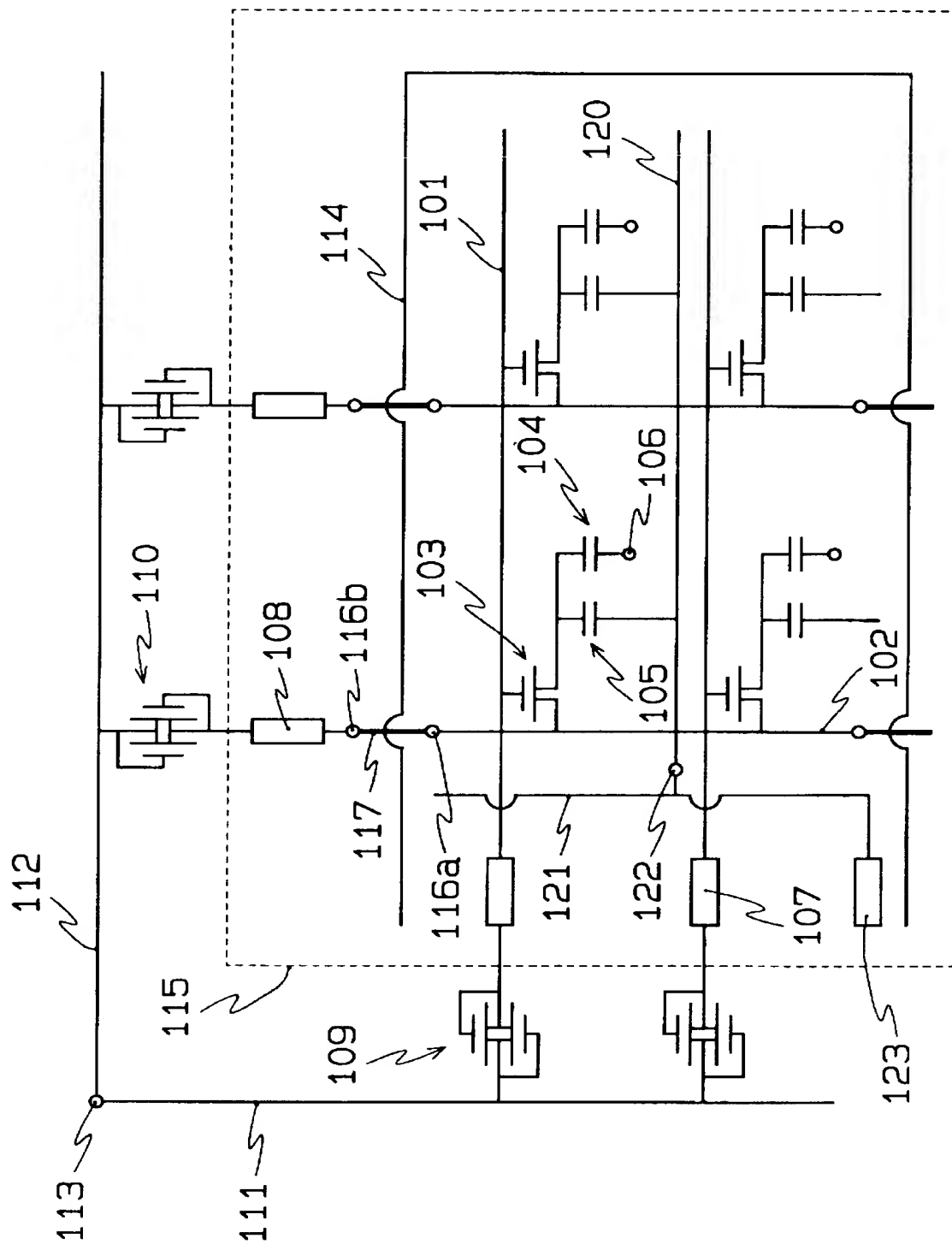
(b)



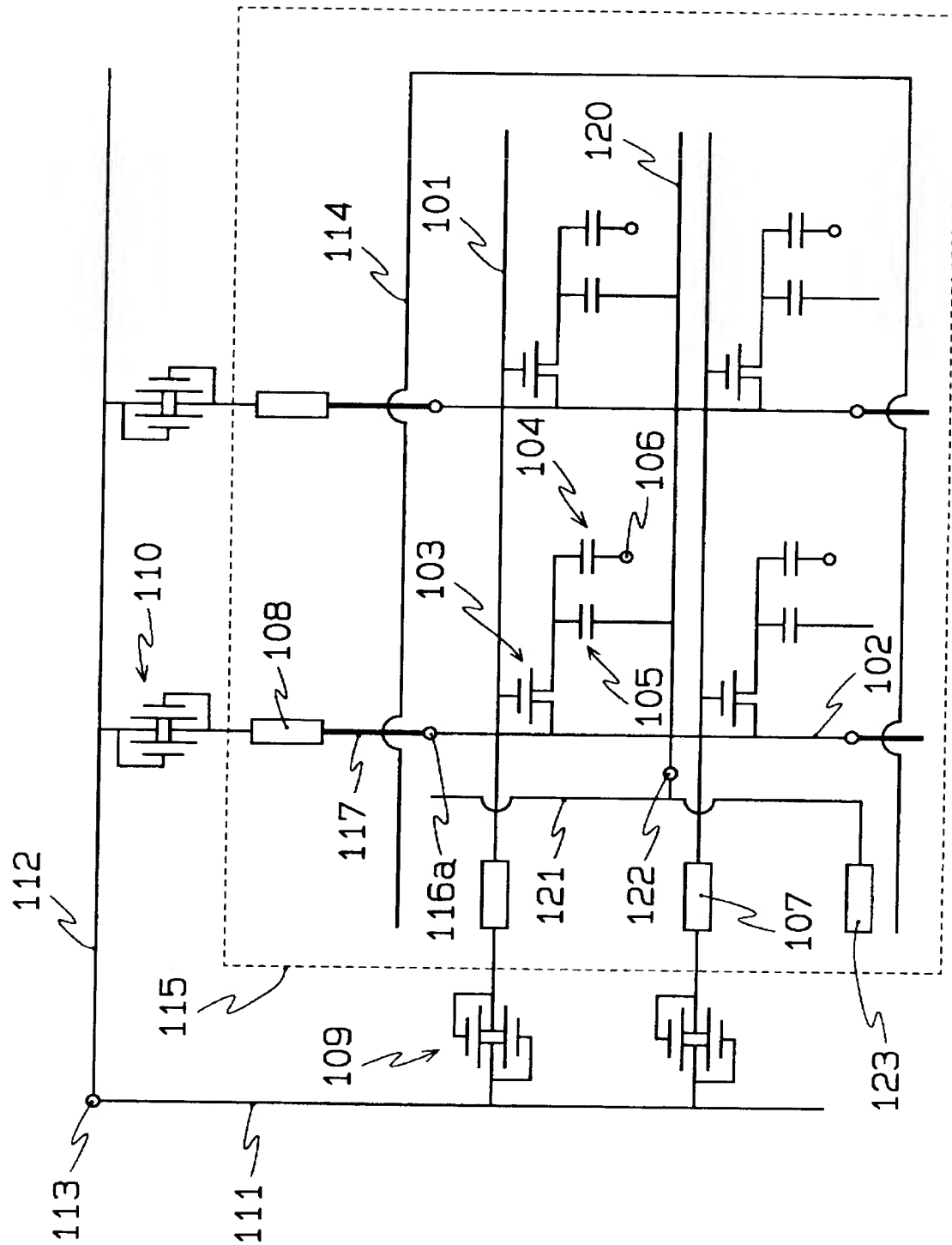
【図14】



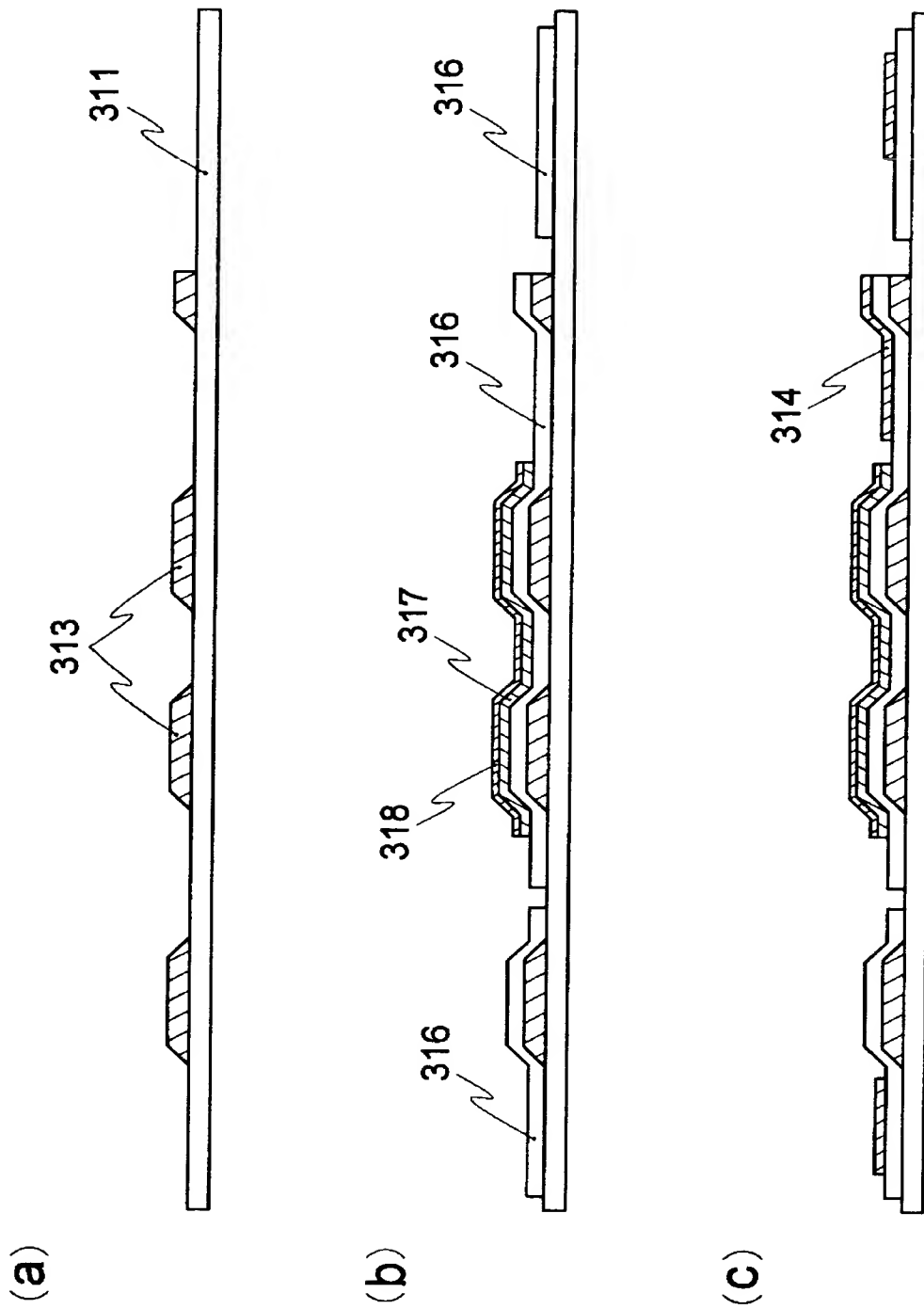
【図 1 5】



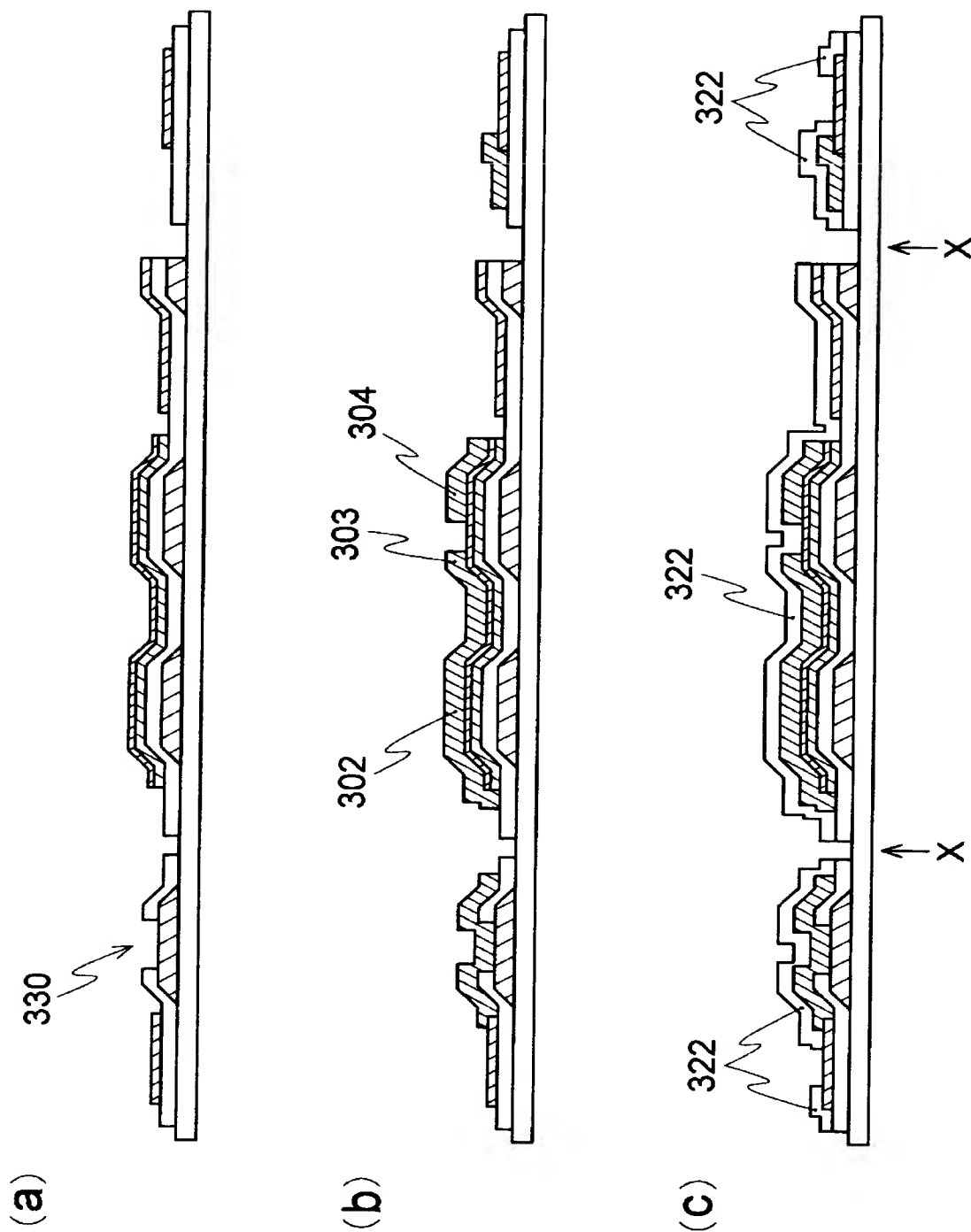
【図16】



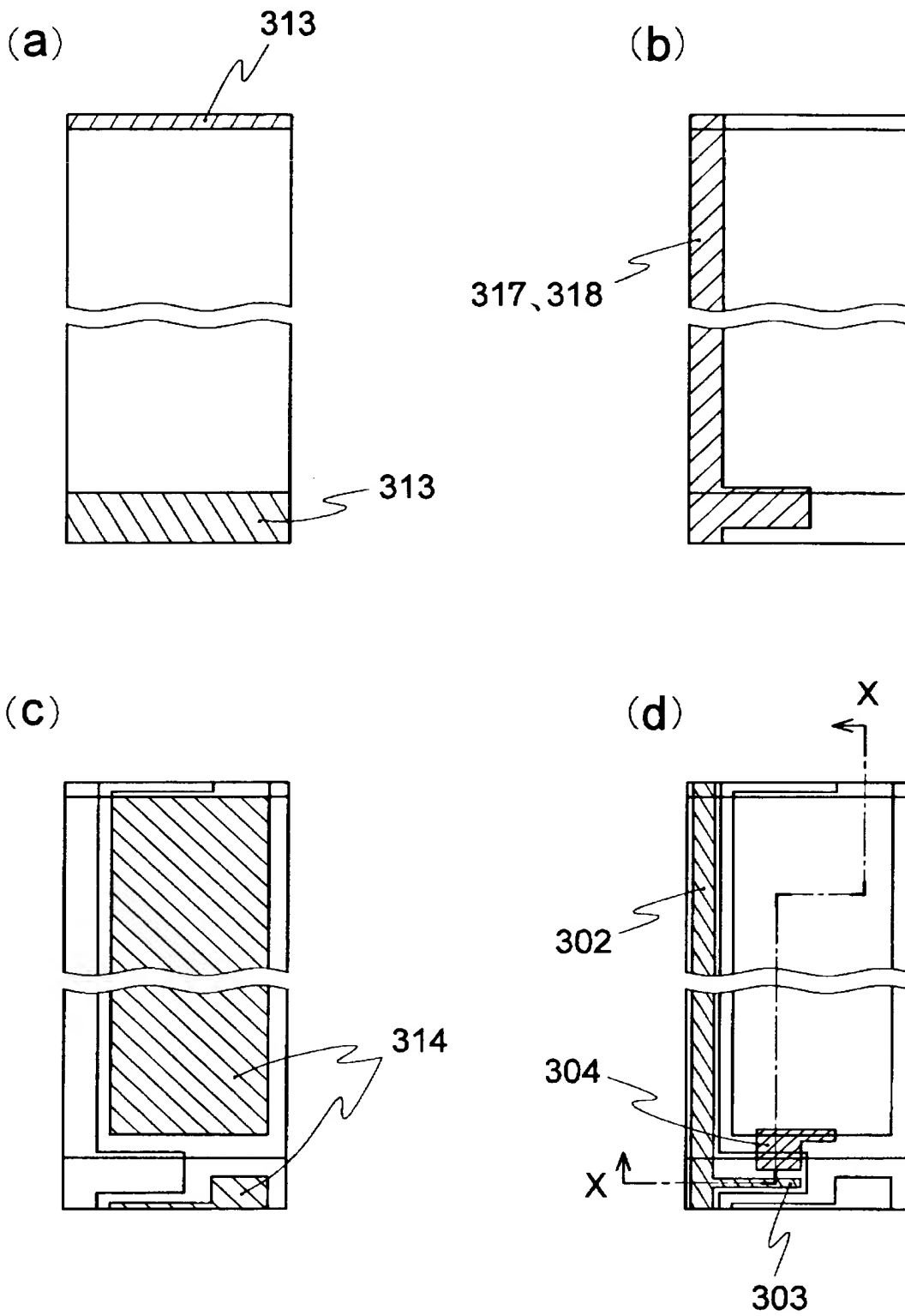
【図 17】



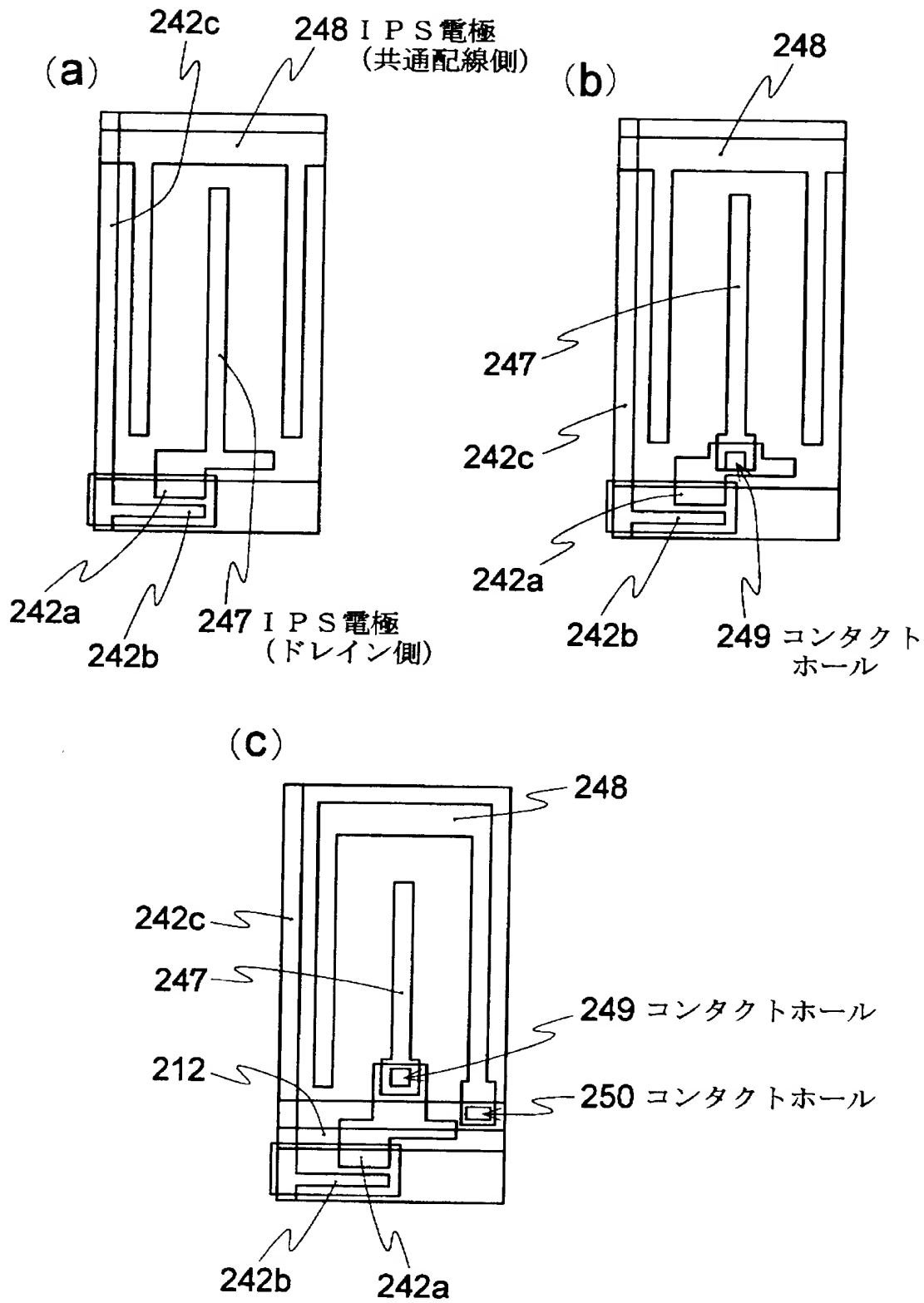
【図 1 8】



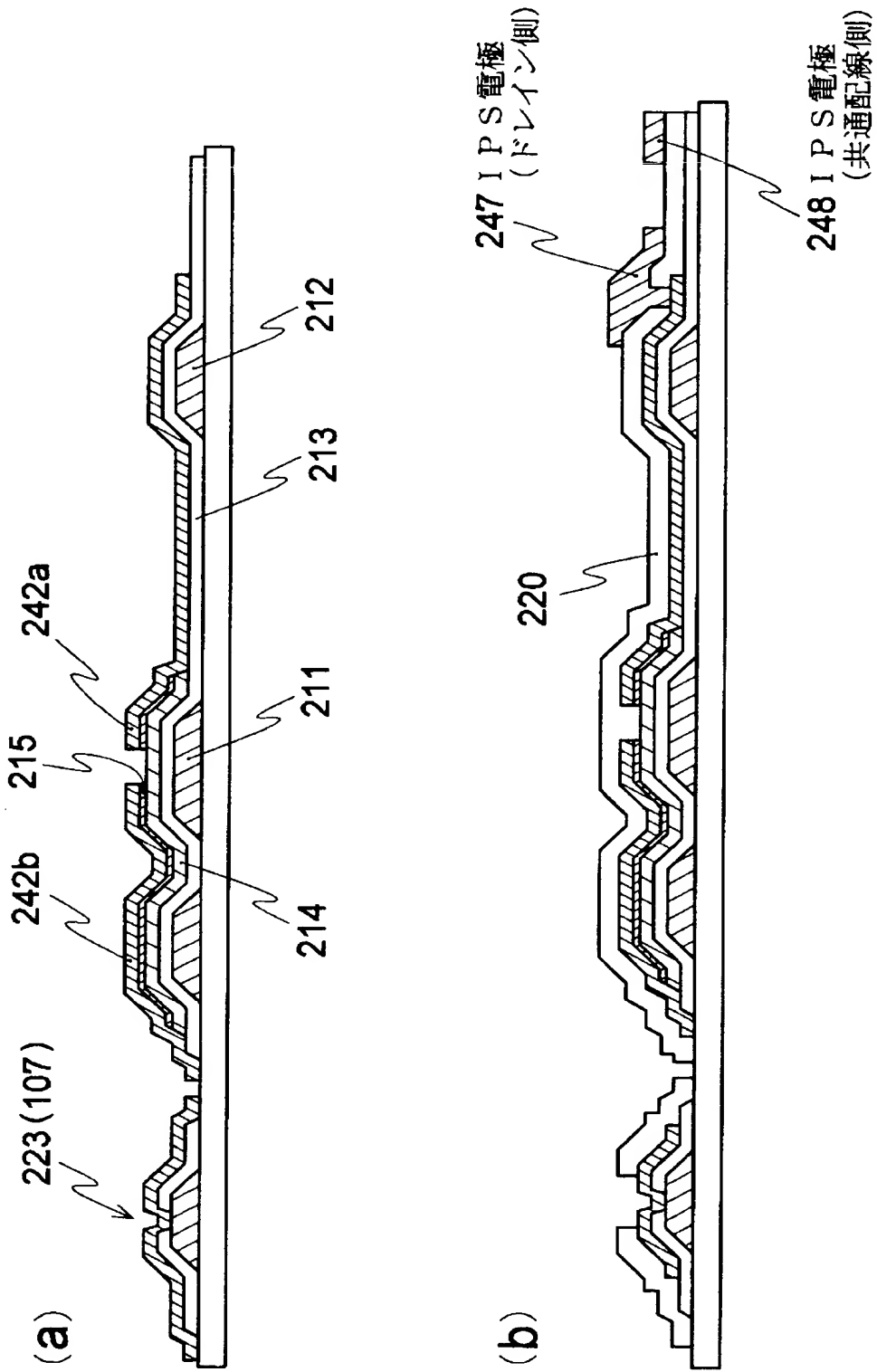
【図 1 9】



【図20】



【図 2 1】



【書類名】 要約書

【要約】

【課題】 アクティブマトリクス型液晶表示装置の T F T アレイ基板の製造工程における写真製版工程数を削減し、コスト低減と生産性の向上を実現する。

【解決手段】 ソース配線とゲート配線がマトリクス上に形成されており、その交差部に薄膜トランジスタおよび液晶に電圧を印加する画素電極が少なくとも存在し、ゲート電極、その上部に形成されたゲート絶縁膜および少なくともゲート電極上でゲート絶縁膜に接するように形成された半導体層と、半導体層上に少なくとも一部が接するように形成され透明導電膜とその上に形成された金属膜の少なくとも 2 層からなるソース電極、ソース配線およびドレイン電極を備え、ドレイン電極と画素電極は、透明導電膜により他の層が介在することなく接続されており、画素電極の光を透過する部分は、その直上の保護膜、金属膜が取り除かれている。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [595059056]

1. 変更年月日 1995年 4月21日

[変更理由] 新規登録

住 所 熊本県菊池郡西合志町御代志997番地

氏 名 株式会社アドバンスト・ディスプレイ